

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 8 日
Date of Application:

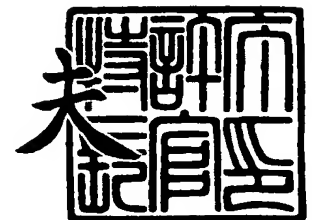
出 願 番 号 特 願 2 0 0 3 - 0 5 4 5 7 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 5 4 5 7 7]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290713002

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36
G02F 1/33

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 山下 淳一

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 原野 環

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置および投射型表示装置

【特許請求の範囲】

【請求項 1】 複数の画素が行列状に配置され、各画素列ごとに信号ラインが配線された画素部と、

第 1 電位に保持されたモニタラインと、

少なくとも水平走査の基準となる互いに逆相のクロック信号および反転クロック信号を生成し、かつ、上記モニタラインの電位変化をモニタし、当該電位変化のタイミングの変化に基づいて少なくとも上記クロック信号および反転クロック信号の生成タイミングを補正する制御回路と、

水平スキャナと、

モニタ回路と、を有し、

上記水平スキャナは、

複数のシフト段が縦続接続され、切替信号に応じて初段から最終段に順にシフトする第 1 スキャン動作と最終段から初段に順にシフトする第 2 スキャン動作を切り替え可能で、上記第 1 スキャン動作時または第 2 スキャン動作時に、上記クロック信号および反転クロック信号に同期して各シフト段からシフトパルスを順次出力するシフトレジスタと、

上記シフトレジスタの対応するシフト段から出力される上記シフトパルスに応答して上記クロック信号および反転クロック信号を交互に順次抜き取り、サンプルホールドパルスとして出力する第 1 のスイッチ群と、

映像信号を上記第 1 のスイッチ群の各スイッチによるサンプルホールドパルスに응答して順次サンプリングして上記画素部の対応する各信号ラインに供給する第 2 のスイッチ群と、を含み、

上記モニタ回路は、

上記切替信号を受けて、当該切替信号が上記第 1 スキャン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキャナにおけるシフトレジスタの初段シフト段が抜き取る信号と異なる信号を抜き取り、上記第 2 スキャン動作を指示している場合には、上記クロック信号および

反転クロック信号のうち、上記水平スキナにおけるシフトレジスタの最終シフト段が抜き取る信号と異なる信号を抜き取り、サンプルホールドパルスとして出力するセクタ部と、

上記セクタ部によるサンプルホールドパルスに応答して上記モニタラインの電位を第2電位に設定する第3のスイッチと、を含む表示装置。

【請求項2】 上記セクタ部は、セレクトパルスを受けて上記クロック信号を抜き取り、サンプルホールドパルスとして上記第3のスイッチに出力する第4のスイッチと、

上記セレクトパルスを受けて上記反転クロック信号を抜き取り、サンプルホールドパルスとして上記第3のスイッチに出力する第5のスイッチと、

上記切替信号を受けて、当該切替信号が上記第1スキャン動作を指示している場合には、上記セレクトパルスを上記第4のスイッチに出力し、上記第2スキャン動作を指示している場合には、上記セレクトパルスを上記第5のスイッチに出力するセクタと

を有する請求項1記載の表示装置。

【請求項3】 上記第1スキャン動作および上記第2スキャン動作は、水平スタートパルスを受けて開始され、当該水平スタートパルスは、上記第1スキャン動作時には上記シフトレジスタの初段シフト段および上記モニタ回路に供給され、上記第2スキャン動作時には上記シフトレジスタの最終シフト段および上記モニタ回路に供給され、

上記モニタ回路のセクタは、上記切替信号に応じて上記水平スタートパルスを上記セレクトパルスとして上記第4のスイッチまたは第5のスイッチの供給する

請求項2記載の表示装置。

【請求項4】 上記セクタは、上記水平スタートパルスを上記セレクトパルスとして上記第4のスイッチに転送する第1の転送ラインと、

上記水平スタートパルスを上記セレクトパルスとして上記第5のスイッチに転送する第2の転送ラインと、

上記切替信号が上記第1スキャン動作を指示している場合に、上記第1の転送ラインを上記水平スタートパルスの供給ラインとを接続する第1のセレクトスイッチと、

上記切替信号が上記第2スキャン動作を指示している場合に、上記第2の転送ラインを上記水平スタートパルスの供給ラインとを接続する第2のセレクトスイッチと、

上記水平スタートパルスの供給ラインと非接続状態にある上記第1の転送ラインまたは上記第2の転送ラインを、当該第1の転送ラインまたは上記第2の転送ラインが接続される上記第4のスイッチまたは上記第5のスイッチを非導通状態の保持し得る電位に保持する電位設定手段と

を有する請求項3記載の表示装置。

【請求項5】 上記水平スキャナのシフトレジスタにおけるシフト段の数は偶数である

請求項1記載の表示装置。

【請求項6】 上記制御回路で生成されたクロック信号および反転クロック信号に基づいて、当該クロック信号および反転クロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号および第2の反転クロック信号を生成し、上記水平スキャナ、およびモニタ回路に供給するクロック生成手段を有し、

上記水平スキャナの第1スイッチ群の各スイッチ、および上記モニタ回路の第4のスイッチまたは第5のスイッチは、上記クロック生成手段による2のクロック信号またたび第2の反転クロック信号を抜き取る

請求項2記載の表示装置。

【請求項7】 上記画素の表示エレメントが液晶セルである

請求項1記載の表示装置。

【請求項8】 第1電位に保持されたモニタラインと、

少なくとも水平走査の基準となる互いに逆相のクロック信号および反転クロック信号を生成し、かつ、上記モニタラインの電位変化をモニタし、当該電位変化のタイミングの変化に基づいて少なくとも上記クロック信号および反転クロック

信号の生成タイミングを補正する制御回路と、

複数の画素が行列状に配置され、各画素列ごとに信号ラインが配線された画素部と、水平スキヤナと、モニタ回路とを含む表示パネルと、

上記表示パネルに光を照射する照射手段と、

上記表示パネルを経た光をスクリーン上に投影する投影手段と、を有し、

上記表示パネルの水平スキヤナは、

複数のシフト段が縦続接続され、切替信号に応じて初段から最終段に順にシフトする第1スキヤン動作と最終段から初段に順にシフトする第2スキヤン動作を切り替え可能で、上記第1スキヤン動作時または第2スキヤン動作時に、上記クロック信号および反転クロック信号に同期して各シフト段からシフトパルスを順次出力するシフトレジスタと、

上記シフトレジスタの対応するシフト段から出力される上記シフトパルスに応答して上記クロック信号および反転クロック信号を交互に順次抜き取り、サンプルホールドパルスとして出力する第1のスイッチ群と、

映像信号を上記第1のスイッチ群の各スイッチによるサンプルホールドパルスに응答して順次サンプリングして上記画素部の対応する各信号ラインに供給する第2のスイッチ群と、を含み、

上記表示パネルのモニタ回路は、

上記切替信号を受けて、当該切替信号が上記第1スキヤン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキヤナにおけるシフトレジスタの初段シフト段が抜き取る信号と異なる信号を抜き取り、上記第2スキヤン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキヤナにおけるシフトレジスタの最終シフト段が抜き取る信号と異なる信号を抜き取り、サンプルホールドパルスとして出力するセレクト部と、

上記セレクト部によるサンプルホールドパルスに응答して上記モニタラインの電位を第2電位に設定する第3のスイッチと、を含む

投射型表示装置。

【請求項9】 上記セレクト部は、セレクトパルスを受けて上記クロック信

号を抜き取り、サンプルホールドパルスとして上記第3のスイッチに出力する第4のスイッチと、

上記セレクトパルスを受けて上記反転クロック信号を抜き取り、サンプルホールドパルスとして上記第3のスイッチに出力する第5のスイッチと、

上記切替信号を受けて、当該切替信号が上記第1スキャン動作を指示している場合には、上記セレクトパルスを上記第4のスイッチに出力し、上記第2スキャン動作を指示している場合には、上記セレクトパルスを上記第5のスイッチに出力するセレクトと

を有する請求項8記載の投射型表示装置。

【請求項10】 上記第1スキャン動作および上記第2スキャン動作は、水平スタートパルスを受けて開始され、当該水平スタートパルスは、上記第1スキャン動作時には上記シフトレジスタの初段シフト段および上記モニタ回路に供給され、上記第2スキャン動作時には上記シフトレジスタの最終シフト段および上記モニタ回路に供給され、

上記モニタ回路のセレクトは、上記切替信号に応じて上記水平スタートパルスを上記セレクトパルスとして上記第4のスイッチまたは第5のスイッチの供給する

請求項9記載の投射型表示装置。

【請求項11】 上記セレクトは、上記水平スタートパルスを上記セレクトパルスとして上記第4のスイッチに転送する第1の転送ラインと、

上記水平スタートパルスを上記セレクトパルスとして上記第5のスイッチに転送する第2の転送ラインと、

上記切替信号が上記第1スキャン動作を指示している場合に、上記第1の転送ラインを上記水平スタートパルスの供給ラインとを接続する第1のセレクトスイッチと、

上記切替信号が上記第2スキャン動作を指示している場合に、上記第2の転送ラインを上記水平スタートパルスの供給ラインとを接続する第2のセレクトスイッチと、

上記水平スタートパルスの供給ラインと非接続状態にある上記第1の転送ライ

ンまたは上記第2の転送ラインを、当該第1の転送ラインまたは上記第2の転送ラインが接続される上記第4のスイッチまたは上記第5のスイッチを非導通状態の保持し得る電位に保持する電位設定手段と

請求項10記載の投射型表示装置。

【請求項12】 上記水平スキヤナのシフトレジスタにおけるシフト段の数は偶数である

請求項8記載の投射型表示装置。

【請求項13】 上記制御回路で生成されたクロック信号および反転クロック信号に基づいて、当該クロック信号および反転クロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号および第2の反転クロック信号を生成し、上記水平スキヤナ、およびモニタ回路に供給するクロック生成手段を有し、

上記水平スキヤナの第1スイッチ群の各スイッチ、および上記モニタ回路の第4のスイッチまたは第5のスイッチは、上記クロック生成手段による2のクロック信号またたび第2の反転クロック信号を抜き取る

請求項9記載の投射型表示装置。

【請求項14】 上記画素部の各画素の表示エレメントが液晶セルである

請求項8記載の投射型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置およびその駆動方法に係り、特に水平駆動回路（水平スキヤナ）にいわゆるクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置および投射型表示装置に関するものである。

【0002】

【従来の技術】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いたアクティブマトリクス型液晶表示装置において、水平駆動回路（水平スキヤナ部）に、点順次駆動方式が採用されている。

【0003】

図1は、一般的な点順次駆動方式を採用したアクティブマトリクス型液晶表示装置の構成を示す回路図である（たとえば、特許文献1参照）。

【0004】

この液晶表示装置（LCDパネル）10は、図1に示すように、有効画素部（PXL）11、垂直スキャナ（VSCN）12、水平スキャナ（HSCN）13、第1のクロック生成回路（GEN1：タイミングジェネレータ）14、および第2のクロック生成回路（GEN2）15を主構成要素として有している。

なお、図2に示すように、垂直スキャナに関しては、画素部11の一側部のみでなく、両側部に配置されることもあり、また、信号線のプリチャージ回路（PRCG）16が設けられる。

【0005】

画素部11は、複数の画素PXLがn行m列のマトリクス状に配列されている。ここでは、図面の簡略化のために、4行4列の画素配列の場合を例に採って示している。

マトリクス状に配置された画素PXLの各々は、画素トランジスタである薄膜トランジスタ（TFT；thin film transistor）11と、このTFT11のドレイン電極に画素電極が接続された液晶セルLCと、TFT11のドレイン電極に一方の電極が接続された保持容量Csとから構成されている。

これら画素PXLの各々に対して、信号ラインSGNL1～SGNL4が各列ごとにその画素配列方向に沿って配線され、ゲートラインGTL1～GTL4が各行ごとにその画素配列方向に沿って配線されている。

画素PXLの各々において、TFT11のソース電極（または、ドレイン電極）が、対応する信号ラインSGNL1～SGNL4に各々接続されている。TFT11のゲート電極が、ゲートラインGTL1～GTL4にそれぞれ接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsラインCsL1に接続されている。このCsラインCsL1には、所定の直流電圧がコモン電圧Vcomとして与えられる。

この画素部11において、ゲートラインGTL1～GTL4の各一端は、画素

部 11 のたとえば図中、左側に配置された垂直スキャナ 12 の各行の出力端に接続されている。

【0006】

垂直スキャナ 12 は、1 フィールド期間ごとに垂直方向（行方向）に走査してゲートライン G T L 1 ～ G T L 4 に接続された各画素 P X L を行単位で順次選択する処理を行う。

すなわち、垂直スキャナ 12 からゲートライン G T L 1 に対して走査パルス S P 1 が与えられたときには 1 行目の各列の画素が選択され、ゲートライン G T L 2 に対して走査パルス S P 2 が与えられたときには 2 行目の各列の画素が選択される。以下同様にして、ゲートライン G T L 3, G T L 4 に対して走査パルス S P 3, S P 4 が順に与えられる。

【0007】

画素部 11 のたとえば図中の上側には、水平スキャナ 13 が配置されている。

水平スキャナ 13 は、入力される映像信号 V D O を 1 H（H は水平走査期間）ごとに順次サンプリングし、垂直スキャナ 12 によって行単位で選択される各画素 P X L に対して書き込む処理を行う。

水平スキャナ 13 は、図 1 に示すように、クロックドライブ方式を採用しており、シフトレジスタ 131、クロック抜き取りスイッチ群 132、位相調整回路（P A C ; Phase Adjust Cirsuit）群 133、およびサンプリングスイッチ群 134 を有している。

【0008】

シフトレジスタ 131 は、画素部 11 の画素列（本例では、4 列）に対応した 4 段のシフト段（S / R 段）131-1 ～ 131-4 を有し、第 1 のクロック生成回路 14 により水平スタートパルス H S T が与えられると、互いに逆相の水平クロック H C K, H C K X に同期してシフト動作を行う。これにより、シフトレジスタ 131 の各シフト段 131-1 ～ 131-4 からは、水平クロック H C K, H C K X の周期と同じパルス幅を持つシフトパルス S F T P 1 ～ S F T P 4 が順次出力される。

【0009】

クロック抜き取りスイッチ群 132 は、画素部 11 の画素列に対応した 4 個のスイッチ 132-1 ~ 132-4 を有し、これらスイッチ 132-1 ~ 132-4 の各一端が、第 1 のクロック生成回路 15 によるクロック DCKX, DCK を伝送するクロックライン DKL1, DKXL1 に交互に接続されている。

すなわち、スイッチ 132-1, 132-3 の各一端がクロックライン DKXL1 に、スイッチ 132-2, 132-4 の各一端がクロックライン DKL1 にそれぞれ接続されている。

クロック抜き取りスイッチ群 132 の各スイッチ 132-1 ~ 132-4 には、シフトレジスタ 131 の各シフト段 131-1 ~ 131-4 から順次出力されるシフトパルス SFTP1 ~ SFTP4 が与えられる。クロック抜き取りスイッチ群 132 の各スイッチ 132-1 ~ 132-4 は、シフトレジスタ 131 の各シフト段 131-1 ~ 131-4 からシフトパルス SFTP1 ~ SFTP4 が与えられると、これらシフトパルス SFTP1 ~ SFTP4 に応答して順にオン状態となることにより、互いに逆相の第 2 のクロック DCKX, DCK を交互に抜き取る。

【0010】

位相調整回路群 133 は、画素部 11 の画素列に対応した 4 個の位相調整回路 133-1 ~ 133-4 を有し、各位相調整回路 133-1 ~ 133-4 でクロック抜き取りスイッチ群 132 の各スイッチ 132-1 ~ 132-4 でそれぞれ抜き取られた第 2 のクロック DCKX, DCK の位相調整した後、対応するサンプリングスイッチ群 134 のサンプリングスイッチに供給する。

【0011】

サンプリングスイッチ群 134 は、画素部 11 の画素列に対応した 4 個のサンプリングスイッチ 134-1 ~ 134-4 を有し、これらのサンプリングスイッチ 134-1 ~ 134-4 の各一端が映像信号 VDO を入力するビデオライン VDL1 に接続されている。各サンプリングスイッチ 134-1 ~ 134-4 には、クロック抜き取りスイッチ群 132 の各スイッチ 132-1 ~ 132-4 によって抜き取られ、位相調整回路群 133 で位相調整されたクロック DCKX, DCK がサンプルホールドパルス SHP1 ~ SHP4 として与えられる。

サンプリングスイッチ群 134 の各サンプリングスイッチ 134-1 ~ 134-4 は、サンプルホールドパルス SHP 1 ~ SHP 4 が与えられると、これらサンプルホールドパルス SHP 1 ~ SHP 4 に応答して順にオン状態となることにより、ビデオライン VDL 1 を通して入力される映像信号 VDO を順次サンプリングし、画素部 11 の信号ライン SGNL 1 ~ SGNL 4 に供給する。

【0012】

また、第 1 のクロック生成回路 18 は、垂直走査の開始を指令する垂直スタートパルス VST、垂直走査の基準となる互いに逆相の垂直クロック VCK、VCKX、水平走査の開始を指令する垂直スタートパルス VST、水平走査の基準となる互いに逆相の水平クロック HCK、HCKX を生成し、垂直スタートパルス VST、および垂直クロック VCK、VCKX を垂直スキャナ 12 に供給し、水平クロック HCK、HCKX を水平スキャナ 13 および第 2 のクロック生成回路 15 に供給する。

【0013】

第 2 のクロック生成回路 15 は、第 1 のクロック生成回路 14 で生成された水平クロック（第 1 のクロック）HCK、HCKX に対して周期が同じ ($T_1 = T_2$) でかつデューティ比が小さい互いに逆相の第 2 のクロック DCK、DCKX を生成し、水平スキャナ 13 に供給する。ここで、デューティ比とは、パルス波形において、パルス幅 t とパルス繰り返し周期 T との比である。

たとえば、図 3 (A) ~ (D) に示すように、水平クロック HCK、HCKX のデューティ比 (t_1 / T_1) が 50% であり、これよりもクロック DCK、DCKX のデューティ比 (t_2 / T_2) が小さく、即ちクロック DCK、DCKX のパルス幅 t_2 が水平クロック HCK、HCKX のパルス幅 t_1 よりも狭く設定さる。

【0014】

上述した水平スキャナ 13 では、シフトレジスタ 131 から順次出力されるシフトパルス SFTP 1 ~ SFTP 4 をサンプルホールドパルスとして用いるのではなく、シフトパルス SFTP 1 ~ SFTP 4 に同期して、互いに逆相のクロック DCKX、DCK を交互に抜き取り、これらクロック DCKX、DCK を位相

調整回路を介してサンプルホールドパルス $SHP1 \sim SHP$ として用いるようにしている。これにより、サンプルホールドパルス $SHP1 \sim SHP$ のばらつきを抑えることができる。その結果、サンプルホールドパルス $SHP1 \sim SHP$ のばらつきに起因するゴーストを除去できる。

【0015】

しかも、水平スキャナ 13 においては、シフトレジスタ 131 のシフト動作の基準となる水平クロック $HCKX$ 、 HCK を抜き取ってサンプルホールドパルスとして用いるのではなく、水平クロック $HCKX$ 、 HCK に対して同じ周期でかつデューティ比の小さいクロック $DCKX$ 、 DCK を別途生成し、これらクロック $DCKX$ 、 DCK を抜き取ってサンプルホールドパルス $SHP1 \sim SHP$ として用いるようにしているので、水平駆動の際に、サンプリングパルス相互間での完全ノンオーバーラップサンプリングを実現できることから、オーバーラップサンプリングに起因する縦スジの発生を抑えることができる。

【0016】

ここでたとえば、図 4 に示すように、隣接する N 段目と $N+1$ 段目でビデオ信号 VDO の対応画素への書き込みを行う場合の動作について、図 5 (A) ~ (D) に関連付けて説明する。

この場合、たとえば、ビデオ信号 VDO 、 N 段目の信号線 $SGNL-N$ のドライブ信号 $DRV P-N$ 、および $N+1$ 段目の信号線 $SGNL-N+1$ のドライブパルス $DRV P-N+1$ が、図 5 (A) ~ (C) に示すようなタイミング関係を有する場合、理想的には、 N 段目には白信号が、 $N+1$ 段目には黒信号が書き込まれ、図 5 (D) に示すような、ゴーストのない画像が得られる。

【0017】

ところが、TFT を用いている LCD においては、一般的にパネルエージングによるトランジスタの特性変化が生じる。この特性変化により、各トランジスタにてパルスの遅延が起こり、最終的にはサンプルホールドパルス SHP がその初期状態に対してドリフトしてしまう。

このドリフトにより、ゴーストに対する最適なサンプルホールドポジションがずれてしまい、初期出荷時のサンプルホールドポジション設定値のままでは隣接

段の映像信号をサンプルホールドしてしまい、ゴーストが発生してしまう。

具体的には、図6 (A) ~ (C) に示すように、N段目の信号線SGNL-Nのドライブ信号DRV P-N、およびN+1段目の信号線SGNL-N+1のドライブパルスDRV P-N+1が、破線で示す初期状態からエージング後に、実線で示すように遅延してしまう。その結果として、図6 (D) に示すように、N段目には黒信号が書き込まれてしまい、ゴーストGSTが発生する。

【0018】

このドリフトによるゴーストの発生を防止するために、モニタ回路（ダミースキャナ）を配置し、そのサンプリングスイッチの出力をパネル外部に出力し、その出力の初期状態からの位相の変化を外部ICにてモニタし、位相の変化分をパネル入力のクロックへとフィードバックする対策が一般的になっている（たとえば、特許文献2、あるいは特許文献3参照）。

【0019】

図7は、モニタ回路17を設けた従来の液晶表示装置の構成例を示すブロック図である。図8は、図7のモニタ回路17と周辺の水平スキャナ13の一部の具体的な構成例を示す回路図である。

【0020】

図8のモニタ回路17は、水平スキャナ13の第1段目、すなわち、水平スタートパルスHSTが最初に入力されてシフト動作を開始する段に隣接して、配置されている。

モニタ回路17は、水平スキャナ13の各段の出力パルスの遅延量を揃えるために、水平スキャナ13の各段の構成と同様に構成することが理想である。

図8のモニタ回路17は、水平スタートパルスHSTが入力され、シフトパルスSFTP17を出力するシフト段（S/R段）171と、第2のクロックDCKXをシフト段171によるシフトパルスSFTP17で抜き取るスイッチ172と、スイッチ171で抜き取られたクロックDCLXの位相を調整して相補的レベルをとる2信号からなるサンプルホールドパルスSHP17を生成する位相調整回路173と、位相調整回路173によるサンプルホールドパルスSHP17により第1端子と第2端子間の導通制御されるサンプリングスイッチ174を

有している。

【0021】

モニタ回路17のサンプリングスイッチ174は、第1端子が接地され、他端がモニタラインMNTL1の一端に接続されている。モニタラインMNTL1の他端がLCDパネル外部のフィードバックIC18に接続されている。

モニタラインMNTL1は、パネル外部にてプルアップされており、外部のフィードバックIC18は、サンプリングスイッチ173が導通してモニタラインMNTL1が接地レベルに遷移したタイミングから初期状態からの位相の変化をモニタし、位相の変化分をパネル入力クロックへとフィードバックする。

なお、図8の例では、水平クロックHCKX、HCK等は、外部のフィードバックIC18で生成するように構成されている。

【0022】

【特許文献1】

特願2001-109460号

【特許文献2】

特開平11-119746号公報

【特許文献3】

特開2000-298459号公報

【0023】

【発明が解決しようとする課題】

ところで、上述した点順次駆動方式を採用したアクティブマトリクス型液晶表示装置は、たとえば投射型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわちLCDパネルとして用いられる。そして、カラーの場合、色の3原色R（赤）、G（緑）、B（青）のそれぞれに対応して3つのLCDパネルが配置される。

この場合、光学系や光路等の関係から、一つのLCDパネルでは、他のLCDパネルと反転し、水平スキャナにおいて逆スキャンを行う必要がある。

そのため、LCDパネルは、適用に応じて、たとえば図1の図中左側からスキャンする機能に加えて、図中の右側からスキャン、すなわち逆スキャンする機能

を併せ持つように構成される。

【0024】

しかしながら、従来のモニタ回路（ダミースキャナ）を一つ配置する回路では、左右反転にてクロックの位相が反転する水平スキャナにおいて、一般的には水平スキャナ13に設けられるシフトレジスタの個数が偶数であることから、以下の不利益がある。

【0025】

図9（A）～（K）に示すように、左から右にスキャンするときは、たとえば図9（B）に示すように、水平クロックHCKのパルス①、②、③の符号を付した場合に、水平クロックHCKの第2番目のタイミング②で、かつ第2のクロックDCKXのタイミングで水平スキャナ13の第1段目のサンプルホールドパルスSHP1とモニタ回路17のサンプルホールドパルスSHP17が略同一タイミングで生成され、問題なく画像表示が行われる。

【0026】

これに対して、図10（A）～（K）に示すように、右から左にスキャンするときは、たとえば図10（B）に示すように、水平クロックHCKのパルス①、②、③の符号を付した場合に、水平クロックHCKの第1番目のタイミング①で、かつ第2のクロックDCKXのタイミングでモニタ回路17のサンプルホールドパルスSHP17が生成される。SHP1はタイミング②で、かつ第1のクロックDCKのタイミングで生成される。

すなわち、この場合、フィードバック用のサンプルホールドパルスSHP17の位相が左右反転にて1パルス分変化してしまい、正確なフィードバックを行うことができなかった。このような場合、画が半分ずれてしまい、精度の高い画像表を行うことができない。

【0027】

本発明の目的は、スキャン方向を反転でき、スキャン方向反転においてクロックの位相が反転する水平スキャナにおいても、出力電位変化の位相が変化することがなく、いずれのスキャン方向で動作しても精度の高い画像表示を実現できる表示装置および投射型表示装置を提供することにある。

【0028】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点に係る表示装置は、複数の画素が行列状に配置され、各画素列ごとに信号ラインが配線された画素部と、第1電位に保持されたモニタラインと、少なくとも水平走査の基準となる互いに逆相のクロック信号および反転クロック信号を生成し、かつ、上記モニタラインの電位変化をモニタし、当該電位変化のタイミングの変化に基づいて少なくとも上記クロック信号および反転クロック信号の生成タイミングを補正する制御回路と、水平スキャナと、モニタ回路と、を有し、上記水平スキャナは、複数のシフト段が縦続接続され、切替信号に応じて初段から最終段に順にシフトする第1スキャン動作と最終段から初段に順にシフトする第2スキャン動作を切り替え可能で、上記第1スキャン動作時または第2スキャン動作時に、上記クロック信号および反転クロック信号に同期して各シフト段からシフトパルスを順次出力するシフトレジスタと、上記シフトレジスタの対応するシフト段から出力される上記シフトパルスに応答して上記クロック信号および反転クロック信号を交互に順次抜き取り、サンプルホールドパルスとして出力する第1のスイッチ群と、映像信号を上記第1のスイッチ群の各スイッチによるサンプルホールドパルスに응答して順次サンプリングして上記画素部の対応する各信号ラインに供給する第2のスイッチ群と、を含み、上記モニタ回路は、上記切替信号を受けて、当該切替信号が上記第1スキャン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキャナにおけるシフトレジスタの初段シフト段が抜き取る信号と異なる信号を抜き取り、上記第2スキャン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキャナにおけるシフトレジスタの最終シフト段が抜き取る信号と異なる信号を抜き取り、サンプルホールドパルスとして出力するセレクト部と、上記セレクト部によるサンプルホールドパルスに응答して上記モニタラインの電位を第2電位に設定する第3のスイッチと、を含む。

【0029】

本発明の第2の観点に係る投射型表示装置は、第1電位に保持されたモニタラ

インと、少なくとも水平走査の基準となる互いに逆相のクロック信号および反転クロック信号を生成し、かつ、上記モニタラインの電位変化をモニタし、当該電位変化のタイミングの変化に基づいて少なくとも上記クロック信号および反転クロック信号の生成タイミングを補正する制御回路と、複数の画素が行列状に配置され、各画素列ごとに信号ラインが配線された画素部と、水平スキャナと、モニタ回路とを含む表示パネルと、上記表示パネルに光を照射する照射手段と、上記表示パネルを経た光をスクリーン上に投影する投影手段と、を有し、上記表示パネルの水平スキャナは、複数のシフト段が縦続接続され、切替信号に応じて初段から最終段に順にシフトする第1スキャン動作と最終段から初段に順にシフトする第2スキャン動作を切り替え可能で、上記第1スキャン動作時または第2スキャン動作時に、上記クロック信号および反転クロック信号に同期して各シフト段からシフトパルスを順次出力するシフトレジスタと、上記シフトレジスタの対応するシフト段から出力される上記シフトパルスに応答して上記クロック信号および反転クロック信号を交互に順次抜き取り、サンプルホールドパルスとして出力する第1のスイッチ群と、映像信号を上記第1のスイッチ群の各スイッチによるサンプルホールドパルスに応答して順次サンプリングして上記画素部の対応する各信号ラインに供給する第2のスイッチ群と、を含み、上記表示パネルのモニタ回路は、上記切替信号を受けて、当該切替信号が上記第1スキャン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキャナにおけるシフトレジスタの初段シフト段が抜き取る信号と異なる信号を抜き取り、上記第2スキャン動作を指示している場合には、上記クロック信号および反転クロック信号のうち、上記水平スキャナにおけるシフトレジスタの最終シフト段が抜き取った信号と異なる信号を抜き取り、サンプルホールドパルスとして出力するセクタ部と、上記セクタ部によるサンプルホールドパルスに応答して上記モニタラインの電位を第2電位に設定する第3のスイッチと、を含む。

【0030】

好適には、上記セクタ部は、セレクトパルスを受けて上記クロック信号を抜き取り、サンプルホールドパルスとして上記第3のスイッチに出力する第4のスイッチと、上記セレクトパルスを受けて上記反転クロック信号を抜き取り、サン

プルホールドパルスとして上記第3のスイッチに出力する第5のスイッチと、上記切替信号を受けて、当該切替信号が上記第1スキャン動作を指示している場合には、上記セレクトパルスを上記第4のスイッチに出力し、上記第2スキャン動作を指示している場合には、上記セレクトパルスを上記第5のスイッチに出力するセレクトとを有する。

【0031】

好適には、上記第1スキャン動作および上記第2スキャン動作は、水平スタートパルスを受けて開始され、当該水平スタートパルスは、上記第1スキャン動作時には上記シフトレジスタの初段シフト段および上記モニタ回路に供給され、上記第2スキャン動作時には上記シフトレジスタの最終シフト段および上記モニタ回路に供給され、上記モニタ回路のセレクトは、上記切替信号に応じて上記水平スタートパルスを上記セレクトパルスとして上記第4のスイッチまたは第5のスイッチの供給する。

【0032】

また、好適には、上記セレクトは、上記水平スタートパルスを上記セレクトパルスとして上記第4のスイッチに転送する第1の転送ラインと、上記水平スタートパルスを上記セレクトパルスとして上記第5のスイッチに転送する第2の転送ラインと、上記切替信号が上記第1スキャン動作を指示している場合に、上記第1の転送ラインを上記水平スタートパルスの供給ラインとを接続する第1のセレクトスイッチと、上記切替信号が上記第2スキャン動作を指示している場合に、上記第2の転送ラインを上記水平スタートパルスの供給ラインとを接続する第2のセレクトスイッチと、上記水平スタートパルスの供給ラインと非接続状態にある上記第1の転送ラインまたは上記第2の転送ラインを、当該第1の転送ラインまたは上記第2の転送ラインが接続される上記第4のスイッチまたは上記第5のスイッチを非導通状態の保持し得る電位に保持する電位設定手段とを有する。

【0033】

また、上記水平スキナのシフトレジスタにおけるシフト段の数は偶数である。

【0034】

好適には、上記制御回路で生成されたクロック信号および反転クロック信号に基づいて、当該クロック信号および反転クロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号および第2の反転クロック信号を生成し、上記水平スキャナ、およびモニタ回路に供給するクロック生成手段を有し、上記水平スキャナの第1スイッチ群の各スイッチ、および上記モニタ回路の第4のスイッチまたは第5のスイッチは、上記クロック生成手段による2のクロック信号またたび第2の反転クロック信号を抜き取る。

【0035】

また、上記画素の表示エレメントが液晶セルである。

【0036】

本発明によれば、たとえば制御回路において、水平走査の基準となる互いに逆相のクロック信号および反転クロック信号を生成が生成され、水平スキャナ、およびモニタ回路に供給される。

また、たとえば切替信号により第1スキャン動作またはこの第1スキャン動作とは逆方向にスキャンする第2スキャン動作が指定される。

第1スキャン動作が指定されると、たとえば水平スタートパルスがモニタ回路および水平スキャナのシフトレジスタにおける初段シフト段に供給される。

また、モニタ回路には切替信号が入力される。このとき、切替信号は第1スキャン動作を指示していることから、セクタ部においては、供給された水平スタートパルスがセレクトパルスとして第4のスイッチに出力される。第4のスイッチでは、水平スキャナの初段シフト段が抜き取るべきクロック信号または反転クロック信号と異なる信号が抜き取られ、サンプルホールドパルスとして第3のスイッチに出力される。

第3のスイッチでは、セクタ部の第4のスイッチによるサンプルホールドパルスに応答してモニタラインの電位が第1電位から第2電位（たとえば接地電位）に設定される。

水平スキャナにおいては、クロック信号および反転クロック信号に同期して各シフト段からシフトパルスが第1のスイッチ群の対応する各スイッチに順次出力される。

第1のスイッチ群においては、対応するシフト段から出力されるシフトパルスに応答してクロック信号および反転クロック信号が交互に順次抜き取られる。そして、抜き取られた信号がサンプルホールドパルスとして第2のスイッチ群の対応する各スイッチに出力される。

第2のスイッチ群においては、入力された映像信号が第1のスイッチ群の各スイッチによるサンプルホールドパルスに응答して順次サンプリングされて、画素部の対応する各信号ラインに供給される。

そして、制御回路において、モニタラインの電位変化がモニタされる。具体的には、制御回路では、モニタ回路の出力の初期状態からの位相の変化がモニタされ、位相に変化分を相殺するように、クロック信号および反転クロック信号の生成タイミングが補正される。

これにより、パネルエージング等でのトランジスタの特性変化による、サンプルホールドパルスのドリフトが補正される。

【0037】

第2スキャン動作が指定されると、たとえば水平スタートパルスがモニタ回路および水平スキナのシフトレジスタにおける最終シフト段に供給される。

また、モニタ回路には切替信号が入力される。このとき、切替信号は第2スキャン動作を指示していることから、セクタ部においては、供給された水平スタートパルスがセレクトパルスとして第5のスイッチに出力される。第5のスイッチでは、水平スキナの最終シフト段が抜き取るべきクロック信号または反転クロック信号と異なる信号が抜き取られ、サンプルホールドパルスとして第3のスイッチに出力される。

第3のスイッチでは、セクタ部の第5のスイッチによるサンプルホールドパルスに응答してモニタラインの電位が第1電位から第2電位（たとえば接地電位）に設定される。

水平スキナにおいては、クロック信号および反転クロック信号に同期して各シフト段からシフトパルスが第1のスイッチ群の対応する各スイッチに順次出力される。

第1のスイッチ群においては、対応するシフト段から出力されるシフトパルス

に応答してクロック信号および反転クロック信号が交互に順次抜き取られる。そして、抜き取られた信号がサンプルホールドパルスとして第2のスイッチ群の対応する各スイッチに出力される。

第2のスイッチ群においては、入力された映像信号が第1のスイッチ群の各スイッチによるサンプルホールドパルスに응答して順次サンプリングされて、画素部の対応する各信号ラインに供給される。

そして、制御回路において、モニタラインの電位変化がモニタされる。具体的には、制御回路では、モニタ回路の出力の初期状態からの位相の変化がモニタされ、位相に変化分を相殺するように、クロック信号および反転クロック信号の生成タイミングが補正される。

これにより、パネルエージング等でのトランジスタの特性変化による、サンプルホールドパルスのドリフトが補正される。

このように、スキャン方向反転においてクロックの位相が反転する水平スキャナにおいても、出力電位変化の位相が変化することがなく、いずれのスキャン方向で動作しても精度の高い画像表示が実現される。

【0038】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0039】

図11は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

【0040】

この液晶表示装置20は、図11に示すように、有効画素部（PXLP）21、垂直スキャナ（VSCN）22、水平スキャナ（HSCN）23、モニタ回路（MNT）24、クロック生成回路（GEN）25、およびタイミングジェネレータを含むフィードバック制御回路（FDBIC）26を主構成要素として有している。

なお、図12に示すように、垂直スキャナに関しては、画素部21の一側部（

図中、左側部)のみでなく、両側部(図中、左側部および右側部)に配置されることもあり、また、信号線のプリチャージ回路(PRCG)28が設けられる。

そして、有効画素部(PXLP)21、垂直スキャナ(VSCN)22(22-1, 22-2)、水平スキャナ(HSCN)23、モニタ回路24、クロック生成回路(GEN)25(およびプリチャージ回路26)が表示パネル(LCDパネル)30に実装される。

【0041】

画素部21は、複数の画素PXLがn行m列のマトリクス状に配列されている。ここでは、図面の簡略化のために、4行4列の画素配列の場合を例に採って示している。

マトリクス状に配置された画素PXLの各々は、画素トランジスタである薄膜トランジスタ(TFT; thin film transistor)21と、このTFT21のドレイン電極に画素電極が接続された液晶セルLC21と、TFT21のドレイン電極に一方の電極が接続された保持容量Cs21とから構成されている。

これら画素PXLの各々に対して、信号ラインSGNL21~SGNL24が各列ごとにその画素配列方向に沿って配線され、ゲートラインGTL21~GTL24が各行ごとにその画素配列方向に沿って配線されている。

画素PXLの各々において、TFT21のソース電極(または、ドレイン電極)が、対応する信号ラインSGNL21~SGNL24に各々接続されている。TFT21のゲート電極が、ゲートラインGTL21~GTL24にそれぞれ接続されている。液晶セルLC21の対向電極および保持容量Cs21の他方の電極は、各画素間で共通にCsラインCsL21に接続されている。このCsラインCsL21には、所定の直流電圧がコモン電圧Vcomとして与えられる。

この画素部21において、ゲートラインGTL21~GTL24の各一端は、画素部21のたとえば図中、左側に配置された垂直スキャナ22の各行の出力端に接続されている。

【0042】

垂直スキャナ22は、1フィールド期間ごとに垂直方向(行方向)に走査してゲートラインGTL21~GTL24に接続された各画素PXLを行単位で順次

選択する処理を行う。

すなわち、垂直スキャナ 22 からゲートライン G T L 2 1 に対して走査パルス S P 2 1 が与えられたときには 1 行目の各列の画素 P X L が選択され、ゲートライン G T L 2 2 に対して走査パルス S P 2 2 が与えられたときには 2 行目の各列の画素 P X L が選択される。以下同様にして、ゲートライン G T L 2 3, G T L 2 4 に対して走査パルス S P 2 3, S P 2 4 が順に与えられる。

【0043】

画素部 21 のたとえば図中の上側には、水平スキャナ 23、およびモニタ回路（ダミースキャナ）24 が配置されている。

【0044】

水平スキャナ 23 は、入力される映像信号 V D O を 1 H（H は水平走査期間）ごとに順次サンプリングし、垂直スキャナ 22 によって行単位で選択される各画素 P X L に対して書き込む処理を行う。

水平スキャナ 23 は、図 11 に示すように、クロックドライブ方式を採用しており、シフトレジスタ 231、クロック抜き取りスイッチ群 232、位相調整回路（P A C ; Phase Adjust Cirsuit）群 233、およびサンプリングスイッチ群 234 を有している。

【0045】

シフトレジスタ 231 は、画素部 21 の画素列（本例では、4 列）に対応した 4 段のシフト段（S / R 段）231-1 ~ 231-4 を有し、たとえば外部のフィードバック制御回路 26 により水平スタートパルス H S T が第 1（初段）シフト段 231-1 または第 4（最終）シフト段 231-4 に与えられると、互いに逆相の水平クロック H C K および反転水平クロック H C K X（以下、両者共、水平クロックという）に同期して第 1 シフト動作（通常シフト動作）または第 2 シフト動作（逆シフト動作）を行う。

これにより、シフトレジスタ 231 の各シフト段 231-1 ~ 231-4 から、水平クロック H C K, H C K X の周期と同じパルス幅を持つシフトパルス S F T P 231 ~ S F T P 234 が順次出力される。

【0046】

ここで、通常シフト動作とは、図 11 中の左から右方向、すなわち、初段の第 1 シフト段 231-1、第 2 シフト段 231-2、第 3 シフト段 231-3、第 4 シフト段 231-4 の順にスキャンしていくことをいう。

一方、逆シフト動作とは、図 11 中の右から左方向、すなわち、第 4 シフト段 231-4、第 3 シフト段 231-3、第 2 シフト段 231-2、第 1 シフト段 231-1 の順にスキャンしていくことをいう。

【0047】

通常シフト動作と逆シフト動作は、外部から与えられるシフト方向切替信号 RGT により決定される。

たとえば、水平スキャナ 23 のシフトレジスタ 231 は、シフト方向切替信号 RGT をハイレベルで受けると通常シフト動作を行い、ローレベルで受けると逆シフト動作を行う。

【0048】

シフトレジスタ 231 は、水平スタートパルス HST を受けてシフトパルス SFTP を第 1 シフト段 231-1 から第 4 シフト段 231-4 に向かう通常方向に伝搬させるか、第 4 シフト段 231-4 から第 1 シフト段 231-1 に向かう逆方向に伝搬させるかを切り替える切替回路 2311, 2312, 2313 が、各シフト段間に挿入されている。

具体的には、第 1 シフト段 231-1 と第 2 シフト段 231-2 間に切替回路 2311 が挿入され、第 2 シフト段 231-2 と第 3 シフト段 231-3 間に切替回路 2312 が挿入され、第 3 シフト段 231-3 と第 4 シフト段 231-4 間に切替回路 2313 が挿入されている。

各切替回路 2311 ~ 2313 は、シフト方向切替信号 RGT を受けて信号伝搬方向を通常方向または逆方向に切え替る。

【0049】

図 13 は、シフトレジスタのシフト段間に挿入される切替回路 2311 (~ 2313) の構成例を示す回路図である。なお、図 13 では、第 1 シフト段 231-1 と第 2 シフト段 231-2 間に挿入される切替回路 2311 を例に示しているが、他の切替回路 2312, 2313 も同様の構成を有している。

【0050】

切替回路 2311 は、図 13 に示すように、転送ゲート TM231-1、TM231-2、およびインバータ INV231 を有している。

転送ゲート TMG231-1 は、p チャネル MOS (PMOS) トランジスタ PT231-1 と n チャネル MOS (NMOS) トランジスタ NT231-1 のソース・ドレイン同士を接続して第 1 端子 T1 および第 2 端子 T2 が構成されている。

NMOS トランジスタ NT231-1 のゲートが切替信号 RGT の供給ラインに接続され、PMOS トランジスタ PT231-1 のゲートが切替信号 RGT をレベル反転させた信号 RGT \bar{X} を出力するインバータ INV231 の出力端子に接続されている。そして、第 1 端子 T1 が第 1 シフト段 (左側シフト段) 231-1 の出力端子 O1 に接続され、第 2 端子 T2 が第 2 シフト段 (右側シフト段) 231-2 の入力端子 I1 に接続されている。

【0051】

転送ゲート TMG231-2 は、PMOS トランジスタ PT231-2 と NMOS トランジスタ NT231-2 のソース・ドレイン同士を接続して第 1 端子 T1 および第 2 端子 T2 が構成されている。

PMOS トランジスタ PT231-2 のゲートが切替信号 RGT の供給ラインに接続され、NMOS トランジスタ NT231-2 のゲートが切替信号 RGT をレベル反転させた信号 RGT \bar{X} を出力するインバータ INV231 の出力端子に接続されている。そして、第 1 端子 T1 が第 1 シフト段 (左側シフト段) 231-1 の入力端子 I1 に接続され、第 2 端子 T2 が第 2 シフト段 (右側シフト段) 231-2 の出力端子 O1 に接続されている。

【0052】

このような構成を有する切替回路 2311 において、たとえば切替信号 RGT がハイレベルで供給されると、インバータ INV231 の出力信号 RGT \bar{X} がローレベルとなり、転送ゲート TMG231-1 の PMOS トランジスタ PT231-1 および NMOS トランジスタ NT231-1 が導通する。

一方、転送ゲート TMG231-2 の PMOS トランジスタ PT231-2 お

よびNMOSトランジスタNT231-2が非導通状態に保持される。

したがって、第1シフト段231-1の出力端子O1から出力された信号（水平スタートパルスHST）が転送ゲートTMG231-1を通して第2シフト段231-2の入力端子I1に伝搬される。すなわち、通常シフト動作が行われる。

【0053】

これに対して、切替信号RGTがローレベルで供給されると、インバータINV231の出力信号RGTXがハイレベルとなり、転送ゲートTMG231-1のPMOSトランジスタPT231-1およびNMOSトランジスタNT231-1が非導通状態に保持される。

一方、転送ゲートTMG231-2のPMOSトランジスタPT231-2およびNMOSトランジスタNT231-2が導通する。

したがって、第2シフト段231-2の出力端子O1から出力された信号（水平スタートパルスHST）が転送ゲートTMG231-2を通して第1シフト段231-1の入力端子I1に伝搬される。すなわち、逆シフト動作が行われる。

【0054】

なお、図13の構成では、各切替回路にインバータINV231を設けるように構成したが、切替信号RGTの入力段にインバータを設けて、その反転出力信号RGTXを切替信号RGTとともに各切替回路に供給するように構成することも可能である。

【0055】

クロック抜き取りスイッチ群232は、画素部21の画素列に対応した4個のスイッチ232-1～232-4を有し、これらスイッチ232-1～232-4の各一端が、クロック生成回路25による第2のクロックDCKと第2の反転クロックDCKXを伝送するクロックラインDKL1、DKXL1に交互に接続されている。

すなわち、画素部21の画素列の奇数列に対応したスイッチ232-1、232-3の各一端がクロックラインDKXL21に、画素部21の画素列の偶数列に対応したスイッチ232-2、232-4の各一端がクロックラインDKL2

1にそれぞれ接続されている。

クロック抜き取りスイッチ群232の各スイッチ232-1～232-4には、シフトレジスタ231の各シフト段231-1～231-4から順次出力されるシフトパルスSFTP231～SFTP234が与えられる。

クロック抜き取りスイッチ群232の各スイッチ232-1～232-4は、シフトレジスタ231の各シフト段231-1～231-4からシフトパルスSFTP231～SFTP234が与えられると、これらシフトパルスSFT23P1～SFTP234に応答して順にオン状態となることにより、互いに逆相のクロックDCKX、DCKを交互に抜き取る。

【0056】

位相調整回路群233は、画素部21の画素列に対応した4個の位相調整回路233-1～233-4を有し、各位相調整回路233-1～233-4でクロック抜き取りスイッチ群232の各スイッチ232-1～232-4でそれぞれ抜き取られたクロックDCKX、DCKの位相調整した後、対応するサンプリングスイッチ群234のサンプリングスイッチに供給する。

【0057】

サンプリングスイッチ群234は、画素部21の画素列に対応した4個のサンプリングスイッチ234-1～234-4を有し、これらのサンプリングスイッチ234-1～234-4の各一端が映像信号VDOを入力するビデオラインVDL21に接続されている。

各サンプリングスイッチ234-1～234-4には、クロック抜き取りスイッチ群232の各スイッチ232-1～232-4によって抜き取られ、位相調整回路群233で位相調整されたクロックDCKX、DCKがサンプルホールドパルスSHP231～SHP234として与えられる。

サンプリングスイッチ群234の各サンプリングスイッチ234-1～234-4は、サンプルホールドパルスSHP231～SHP234が与えられると、これらサンプルホールドパルスSHP231～SHP234に応答して順にオン状態となることにより、ビデオラインVDL21を通して入力される映像信号VDOを順次サンプリングし、画素部21の信号ラインSGNL21～SGNL2

4 に供給する。

【0058】

モニタ回路 24 は、水平スキャナ 23 の画素部 21 の第 1 画素列に対応する、すなわち、水平スタートパルス HST が最初に入力されて第 1 シフト動作（通常シフト動作）を開始する第 1 シフト段 231-1、抜き取りスイッチ 232-1、位相調整回路 233-1、およびサンプリングスイッチ 234-1 を含む第 1 段スキャナ部の図 11 中左側に隣接して配置されている。

モニタ回路 24 は、水平スキャナ 23 の各段の出力パルスの遅延量を揃えるために、水平スキャナ 23 の各段スキャナ部の抜き取りスイッチ 232-1、位相調整回路 233-1、およびサンプリングスイッチ 234-1 を含む構成と同様に構成されている。

【0059】

具体的には、モニタ回路 24 は、水平スタートパルス HST および切替信号 RGT を受けて、切替信号 RGT が第 1 スキャン動作を指示している場合には、水平スタートパルス HST をセレクトパルスとしてクロック DCK、DCKX のうち、水平スキャナ 23 におけるシフトレジスタ 231 の初段シフト段 231-1 が抜き取るクロック DCKX と異なるクロック DCK を抜き取り、第 2 スキャン動作を指示している場合には、水平スタートパルス HST をセレクトパルスとしてクロック DCK、DCKX のうち、水平スキャナ 23 におけるシフトレジスタ 231 の最終シフト段 231-4 が抜き取るクロック DCK 信号と異なるクロック DCKX を抜き取り、サンプルホールドパルスとして出力するセクタ部 241 と、セクタ部 241 で抜き取られたクロック DCK または DCKX の位相を調整して相補的レベルをとる 2 信号からなるサンプルホールドパルス SHP 241 を生成する位相調整回路 242 と、位相調整回路 242 によるサンプルホールドパルス SHP 241 により第 1 端子 T1 と第 2 端子 T2 間の導通制御されるサンプリングスイッチ（第 3 のスイッチ）243 を有している。

【0060】

モニタ回路 24 のサンプリングスイッチ 243 は、PMOS トランジスタと NMOS トランジスタのソース・ドレイン同士を接続したアナログスイッチからな

り、第1端子T1が接地され、他端がモニタラインMNTL21の一端に接続されている。

モニタラインMNTL21は、LCDパネル外部でプルアップ抵抗R21によりプルアップされており、他端側がバッファBF21を介してフィードバック制御回路26の入力端子に接続されている。

【0061】

モニタ回路24のセクタ部241は、セレクトパルスSLP241を受けてクロックDCKを抜き取り、位相調整回路242に出力するスイッチ（第4のスイッチ）2411と、SLP242を受けてクロックDCKXを抜き取り、位相調整回路242に出力するスイッチ（第5のスイッチ）2412と、水平スタートパルスHSTおよび切替信号RGTを受けて、切替信号RGTが第1スキャン動作を指示している場合には、水平スタートパルスHSTをセレクトパルスSLP241としてスイッチ2411に出力し、切替信号RGTが第2スキャン動作を指示している場合には、水平スタートパルスHSTをセレクトパルスSLP242としてスイッチ2412に出力するセクタ2413とを有している。

【0062】

図14は、本実施形態に係るモニタ回路のセクタ部の具体的な構成例を示す回路図である。

【0063】

セクタ2413は、図14に示すように、セレクトスイッチSW241、SW242、NMOSトランジスタNT241、NT242、インバータINV241～INV246、水平スタートパルスHSTの入力端子THST、切替信号RGTの入力端子TRGT、および切替信号RGTの反転信号RGTXの入力端子TRGTXを有している。

なお、図14の構成で、切替信号RGTと切替信号RGTの反転信号RGTXを外部から入力するように構成しているが、切替信号RGTのみを外部から入力し、インバータを介して切替信号RGTの反転信号RGTXをセクタ2413内部で生成するように構成することも可能である。

【0064】

セレクトスイッチSW241は、NMOSトランジスタNT2411とPMOSトランジスタPT2411のソース・ドレイン同士を接続して第1端子T1および第2端子T2が構成されている。

セレクトスイッチSW242は、NMOSトランジスタNT2412とPMOSトランジスタPT2412のソース・ドレイン同士を接続して第1端子T1および第2端子T2が構成されている。

同様に、スイッチ（第4のスイッチ）2411は、NMOSトランジスタNT24111とPMOSトランジスタPT24111のソース・ドレイン同士を接続して第1端子T1および第2端子T2が構成されている。

スイッチ（第5のスイッチ）2412は、NMOSトランジスタNT24121とPMOSトランジスタPT24121のソース・ドレイン同士を接続して第1端子T1および第2端子T2が構成されている。

【0065】

セレクトスイッチSW241は、第1端子T1が水平スタートパルスHSTの入力端子THSTに接続され、第2端子T2がインバータINV241の入力端子に接続され、これらの接続ノードND241と接地GNDにNMOSトランジスタNT241のソース・ドレインがそれぞれ接続されている。

セレクトスイッチSW241のNMOSトランジスタNT2411のゲートが切替信号RGTの入力端子TRGTに接続され、PMOSトランジスタPT2411のゲートおよびNMOSトランジスタNT241のゲートが切替信号RGTの反転信号RGTXの入力端子TRGTXに接続されている。

ノードND241に対してインバータINV241～INV243は直列に接続され、インバータINV242の出力端子がスイッチ2411のNMOSトランジスタNT24111のゲートに接続され、インバータINV243の出力端子がスイッチ2411のPMOSトランジスタPT24111のゲートに接続されている。

そして、ノードND241を含むセレクトスイッチSW241の端子T2からスイッチ2411のNMOSトランジスタ24111およびNMOSトランジスタNT24111に至る信号伝搬経路により第1の転送ラインTML241が構

成されている。

また、NMOSトランジスタNT241により、第2スキャン動作（逆スキャン動作）時に非選択状態にある第1の転送ラインTML241の電位を、スイッチ2411が非導通状態に安定に保持可能な電位、すなわち、本実施形態では接地電位に設定する電位設定手段が構成されている。

【0066】

セレクトスイッチSW242は、第1端子T1が水平スタートパルスHSTの入力端子THSTに接続され、第2端子T2がインバータINV244の入力端子に接続され、これらの接続ノードND242と接地GNDにNMOSトランジスタNT242のソース・ドレインがそれぞれ接続されている。

セレクトスイッチSW242のPMOSトランジスタPT2412のゲートが切替信号RGTの入力端子TRGTに接続され、NMOSトランジスタPT2421のゲートおよびNMOSトランジスタNT242のゲートが切替信号RGTの反転信号RGTXの入力端子TRGTXに接続されている。

ノードND242に対してインバータINV244～INV246は直列に接続され、インバータINV245の出力端子がスイッチ2412のNMOSトランジスタNT24121のゲートに接続され、インバータINV246の出力端子がスイッチ2412のPMOSトランジスタPT24121のゲートに接続されている。

そして、ノードND242を含むセレクトスイッチSW242の端子T2からスイッチ2412のNMOSトランジスタ24121およびNMOSトランジスタNT24121のゲートに至る信号伝搬経路により第2の転送ラインTML242が構成されている。

また、NMOSトランジスタNT242により、第1スキャン動作（通常スキャン動作）時に非選択状態にある第2の転送ラインTML242の電位を、スイッチ2412が非導通状態に安定に保持可能な電位、すなわち、本実施形態では接地電位に設定する電位設定手段が構成されている。

【0067】

このような構成を有するセクタ部241において、第1スキャン動作時には

、切替信号 RGT がハイレベルで、その反転信号 RGTX がローレベルで入力される。その結果、セレクトスイッチ SW241、および NMOS トランジスタ NT242 が導通状態となり、セレクトスイッチ SW242、および NMOS トランジスタ NT241 が非導通状態となる。

したがって、入力端子 THST から入力された一定期間ハイレベルの水平スタートパルス HST は、セレクトスイッチ SW241 を通過し、インバータ INV242 によりハイレベルでスイッチ 2411 の NMOS トランジスタ NT2411 に供給され、かつ、インバータ INV243 によりローレベルでスイッチ 2411 の PMOS トランジスタ NT2411 に供給される。

これにより、スイッチ 2411 が一定期間導通状態となり、クロック DCK が抜き取られ位相調整岐路 242 に出力される。

また、このとき、NMOS トランジスタ NT242 が導通状態にあることから、ノード ND242 の電位は接地レベルに保持される。したがって、インバータ INV245 によりローレベルに信号がスイッチ 2412 の NMOS トランジスタ NT24121 に供給され、かつ、インバータ INV246 によりハイレベルの信号がスイッチ 2412 の PMOS トランジスタ NT24121 に供給される。その結果、スイッチ 2412 は非導通状態に安定に保持される。

【0068】

一方、第2スキャン動作時には、切替信号 RGT がローレベルで、その反転信号 RGTX がハイレベルで入力される。その結果、セレクトスイッチ SW241、および NMOS トランジスタ NT242 が非導通状態となり、セレクトスイッチ SW242、および NMOS トランジスタ NT241 が導通状態となる。

したがって、入力端子 THST から入力された一定期間ハイレベルの水平スタートパルス HST は、セレクトスイッチ SW242 を通過し、インバータ INV245 によりハイレベルでスイッチ 2412 の NMOS トランジスタ NT24121 に供給され、かつ、インバータ INV246 によりローレベルでスイッチ 2412 の PMOS トランジスタ NT24121 に供給される。

これにより、スイッチ 2412 が一定期間導通状態となり、クロック DCKX が抜き取られ位相調整岐路 242 に出力される。

また、このとき、NMOSトランジスタNT241が導通状態にあることから、ノードND241の電位は接地レベルに保持される。したがって、インバータINV242によりローレベルに信号がスイッチ2411のNMOSトランジスタNT24111に供給され、かつ、インバータINV243によりハイレベルの信号がスイッチ2411のPMOSトランジスタNT24111に供給される。その結果、スイッチ2411は非導通状態に安定に保持される。

【0069】

以上のように、本実施形態においては、モニタ回路24において、第1スキャン動作（通常スキャン動作）時と第2スキャン動作（逆スキャン動作）時とで、抜き取りスイッチ2411、2412で抜き取るクロックDCK, DCKXを各々異なるクロックにしている。ここでは、第1スキャン動作時にクロックDCKを抜き取り、第2スキャン動作時にクロックDCKXを抜き取っている。

【0070】

クロック生成回路25は、フィードバック制御回路26で生成された水平クロック（第1のクロック）HCK, HCKXに対して周期が同じ（ $T_1 = T_2$ ）でかつデューティ比が小さい互いに逆相の第2のクロックDCK, DCKXを生成し、クロックラインDKL1, DKXL1を通してモニタ回路24、および水平スキャナ23に供給する。ここで、デューティ比とは、パルス波形において、パルス幅 t とパルス繰り返し周期 T との比である。

たとえば、図3（A）～（D）に示すように、水平クロックHCK, HCKXのデューティ比（ t_1 / T_1 ）が50%であり、これよりもクロックDCK, DCKXのデューティ比（ t_2 / T_2 ）が小さく、即ちクロックDCK, DCKXのパルス幅 t_2 が水平クロックHCK, HCKXのパルス幅 t_1 よりも狭く設定される。

【0071】

フィードバック制御回路26は、垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK, VCKX、水平走査の開始を指令する垂直スタートパルスVST、水平走査の基準となる互いに逆相の水平クロックHCK, HCKXを生成し、垂直スタートパルスVST

、および垂直クロック VCK、VCKX を垂直スキャナ 22 に供給し、水平クロック HCK、HCKX を水平スキャナ 23、モニタ回路 24、およびクロック生成回路 25 に供給する。

また、フィードバック制御回路 26 は、水平スタートパルス HST を生成し、水平スキャナ 23 のシフトレジスタ 231 の第 1 シフト段 231-1 および第 2 シフト段 231-2 およびモニタ回路 24 のセクタ 2413 に供給する。

さらに、フィードバック制御回路 26 は、通常スキャン動作時または逆スキャン動作時に、モニタ回路 24 のサンプリングスイッチ 243 が導通してモニタライン MNTL 21 が接地レベルに遷移したタイミングから初期状態からの位相の変化をモニタし、位相の変化分をパネル入力の水平クロック HCK、反転水平クロック HCKX のへとフィードバックし、サンプルホールドパルス SHP がその初期状態に対してドリフトしてしまうことによるゴーストの発生を防止する制御を行う。

【0072】

次に、上記構成による通常スキャン動作および逆スキャン動作について、図 15 (A) ~ (K) および図 16 (A) ~ (K) のタイミングチャートに関連付けて説明する。

【0073】

まず、通常スキャン動作を図 15 (A) ~ (K) のタイミングチャートに関連付けて説明する。

【0074】

この場合、スキャン方向切替信号 RGT がハイレベルに設定されて水平スキャナ 23 のシフトレジスタ 231 およびモニタ回路 24 のセクタ 2413 に供給される（たとえばセクタ 2413 には反転信号 RGTX も供給される）。

これにより、水平スキャナ 23 のシフトレジスタ 231 におけるシフト段間に挿入された切替回路 2311 ~ 2313 が左から右に信号を伝搬する経路が形成される。すなわち、第 1 シフト段 231-1 から第 2 シフト段 231-2、第 2 シフト段 231-2 から第 3 シフト段 231-3、第 3 シフト段 231-3 から第 4 シフト段 231-4 に水平スタートパルス HST が順にシフトされる信号伝

搬経路が形成される。

【0075】

この状態において、フィードバック制御回路26において、図15(A)に示すような、水平スタートパルスHSTが生成されて、水平スキャナ23におけるシフトレジスタ231の第1シフト段231-1、並びにモニタ回路24のセクタ2413に供給される。

また、フィードバック制御回路26においては、図15(B), (C)に示すように、互いに逆相の水平クロックHCK, HCKXが生成されて、水平スキャナ23におけるシフトレジスタ231の第1シフト段231-1～第4シフト段231-4、並びにクロック生成回路25に供給される。

クロック生成回路25においては、図15(D), (E)に示すように、フィードバック制御回路26で生成された水平クロックHCK, HCKXに対して周期が同じ($T_1 = T_2$)でかつデューティ比が小さい互いに逆相のクロックDCK, DCKXが生成され、クロックラインDKL1, DKXL1を通してモニタ回路24、および水平スキャナ23に供給される。

【0076】

フィードバック制御回路26においては、垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK, VCKX、水平走査の開始を指令する垂直スタートパルスVSTが生成され、垂直スキャナ22に供給される。

【0077】

そして、モニタ回路24においては、水平スタートパルスHST並びに切替信号RGTおよびその反転信号RGTXを受けて、切替信号RGTが第1スキャン動作を指示するハイレベルであることから、図15(F)に示すように、水平スタートパルスHSTがセレクトパルスSLP241としてスイッチ2411に出力され、水平スキャナ23の第1シフト段231-1が抜き取るべきクロックDCKXと異なるクロックDCKが抜き取られ、位相調整回路242で位相調整された後、図15(I)に示すように、サンプルホールドパルスSHP241としてサンプリングスイッチ243に供給される。

これにより、サンプリングスイッチ 243 は、サンプルホールドパルス SHP 241 に応答してオン状態となり、LCD パネル外部でプルアップ抵抗 R21 によりプルアップされていたモニタライン MNTL 21 が接地レベルに引き込まれ、そのレベル変化情報がバッファ BF 21 を介してフィードバック制御回路 26 の入力される。

【0078】

そして、水平スキャナ 23 のシフトレジスタ 231 において、外部のフィードバック制御回路 26 により水平スタートパルス HST が供給された第 1 シフト段 231-1 では、逆相の水平クロック HCK, HCKX に同期して、図 1.5 (G) に示すように、水平クロック HCK, HCKX の周期と同じパルス幅を持つシフトパルス SFTP 231 が抜き取りスイッチ 232-1 に出力される。また、第 1 シフト段 231-1 から第 2 シフト段 231-2 にシフトパルス SFTP 231 がシフトインされる。

第 1 シフト段 231-1 に対応した抜き取りスイッチ 232-1 では、シフトパルス SFTP 231 に応答してオン状態となり、図 1.5 (E), (J) に示すように、クロックライン DKXL 1 に出力されたクロック DCKX が抜き取られ、位相調整回路 233-1 で位相調整された後、サンプルホールドパルス SHP 231 としてサンプリングスイッチ 234-1 に供給される。

これにより、サンプリングスイッチ 234-1 は、サンプルホールドパルス SHP 231 に応答してオン状態となり、ビデオライン VDL 21 を通して入力される映像信号 VDO がサンプリングされ、画素部 21 の信号ライン SGNL 21 に供給される。

【0079】

次に、第 1 シフト段 231-1 からシフトパルス SFTP 231 がシフトインされた第 2 シフト段 231-2 では、逆相の水平クロック HCK, HCKX に同期して、図 1.5 (H) に示すように、水平クロック HCK, HCKX の周期と同じパルス幅を持つシフトパルス SFTP 232 が抜き取りスイッチ 232-2 に出力される。また、第 2 シフト段 231-2 から第 3 シフト段 231-3 にシフトパルス SFTP 232 がシフトインされる。

第2シフト段231-2に対応した抜き取りスイッチ232-2では、シフトパルスSFTP232に応答してオン状態となり、図15(D), (K)に示すように、クロックラインDKL1に出力されたクロックDCKが抜き取られ、位相調整回路233-2で位相調整された後、サンプルホールドパルスSHP232としてサンプリングスイッチ234-2に供給される。

これにより、サンプリングスイッチ234-2は、サンプルホールドパルスSHP232に応答してオン状態となり、ビデオラインVDL21を通して入力される映像信号VDOがサンプリングされ、画素部21の信号ラインSGNL22に供給される。

【0080】

次に、第2シフト段231-2からシフトパルスSFTP232がシフトインされた第3シフト段231-3では、逆相の水平クロックHCK, HCKXに同期して、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスSFTP233が抜き取りスイッチ232-3に出力される。また、第3シフト段231-3から第4シフト段231-4にシフトパルスSFTP233がシフトインされる。

第3シフト段231-3に対応した抜き取りスイッチ232-3では、シフトパルスSFTP233に応答してオン状態となり、クロックラインDKXL1に出力されたクロックDCKXが抜き取られ、位相調整回路233-3で位相調整された後、サンプルホールドパルスSHP233としてサンプリングスイッチ234-3に供給される。

これにより、サンプリングスイッチ234-3は、サンプルホールドパルスSHP233に応答してオン状態となり、ビデオラインVDL21を通して入力される映像信号VDOがサンプリングされ、画素部21の信号ラインSGNL23に供給される。

【0081】

次に、第3シフト段231-3からシフトパルスSFTP233がシフトインされた第4シフト段231-4では、逆相の水平クロックHCK, HCKXに同期して、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパル

ス SFTP 234 が抜き取りスイッチ 232-4 に出力される。

第 4 シフト段 231-4 に対応した抜き取りスイッチ 232-4 では、シフトパルス SFTP 234 に応答してオン状態となり、クロックライン DKL 1 に出力されたクロック DCK が抜き取られ、位相調整回路 233-4 で位相調整された後、サンプルホールドパルス SHP 234 としてサンプリングスイッチ 234-4 に供給される。

これにより、サンプリングスイッチ 234-4 は、サンプルホールドパルス SHP 234 に応答してオン状態となり、ビデオライン VDL 21 を通して入力される映像信号 VDO がサンプリングされ、画素部 21 の信号ライン SGNL 24 に供給される。

【0082】

フィードバック制御回路 26 では、通常スキャン動作時のモニタ回路 24 のサンプリングスイッチ 243 が導通してモニタライン MNTL 21 が接地レベルに遷移したタイミングから初期状態からの位相の変化がモニタされる。

フィードバック制御回路 26 では、モニタした位相の変化分がパネル入力のクロック HCK, HCKX 等へとフィードバックされて適切なタイミングが設定される。これにより、サンプルホールドパルス SHP がその初期状態に対してドリフトしてしまうことによるゴーストの発生が防止される。

【0083】

以上のように、通常スキャン動作時には、モニタ回路 24 においては、水平スタートパルス HST 並びに切替信号 RGT およびその反転信号 RGTX を受けて、セクタ部 241 で水平スキャナ 23 の第 1 シフト段 231-1 が抜き取るべきクロック DCKX と異なるクロック DCK を抜き取られ、位相調整回路 242 で位相調整された後、サンプルホールドパルス SHP 241 としてサンプリングスイッチ 243 に供給されて、サンプリングスイッチ 243 がオン状態となる。

また、水平スキャナ 23 において、クロック抜き取りスイッチ群 232 の各スイッチ 232-1 ~ 232-4 で、シフトレジスタ 231 の各シフト段 231-1 ~ 231-4 からシフトパルス SFTP 231 ~ SFTP 234 が与えられると、これらシフトパルス SFTP 231 ~ SFTP 234 に応答して順にオン状

態となることにより、互いに逆相のクロック DCKX, DCK を交互に抜き取り、位相調整回路群 233 で位相調整されたクロック DCKX, DCK がサンプルホールドパルス SHP 231 ~ SHP 234 として与えられる。

そして、サンプリングスイッチ群 234 の各サンプリングスイッチ 234-1 ~ 234-4 では、サンプルホールドパルス SHP 231 ~ SHP 234 が与えられると、これらサンプルホールドパルス SHP 231 ~ SHP 234 に応答して順にオン状態となり、ビデオライン VDL 21 を通して入力される映像信号 VDO が順次サンプリングされ、画素部 21 の信号ライン SGNL 21 ~ SGNL 24 に供給される。

すなわち、水平スキャナ 23 の第 1 シフト段のサンプルホールドパルス SHP 231 とモニタ回路 24 のサンプルホールドパルス SHP 241 が他のサンプルホールドパルス SHP 231 ~ SHP 233 間の関係と略同一タイミングで生成され、問題なく画像表示が行われる。

【0084】

次に、逆スキャン動作を図 16 (A) ~ (K) のタイミングチャートに関連付けて説明する。

【0085】

この場合、スキャン方向切替信号 RGT がローレベルに設定されて水平スキャナ 23 のシフトレジスタ 231 およびモニタ回路 24 のセクタ 2413 に供給される (たとえばセクタ 2413 には反転信号 RGTX も供給される)。

これにより、水平スキャナ 23 のシフトレジスタ 231 におけるシフト段間に挿入された切替回路 2311 ~ 2313 が右から左に信号を伝搬する経路が形成される。すなわち、第 4 シフト段 231-4 から第 3 シフト段 231-3、第 3 シフト段 231-3 から第 2 シフト段 231-2、第 2 シフト段 231-2 から第 1 シフト段 231-1 にシフトパルス SF TP が順にシフトされる信号伝搬経路が形成される。

【0086】

この状態において、フィードバック制御回路 26 において、図 16 (A) に示すような、水平スタートパルス HST が生成されて、水平スキャナ 23 における

シフトレジスタ 231 の第 4 シフト段 231-4、並びにモニタ回路 24 のセレクト 2413 に供給される。

また、フィードバック制御回路 26 においては、図 16 (B), (C) に示すように、互いに逆相の水平クロック HCK, HCKX が生成されて、水平スキャナ 23 におけるシフトレジスタ 231 の第 1 シフト段 231-1 ~ 第 4 シフト段 231-4、並びにクロック生成回路 25 に供給される。

クロック生成回路 25 においては、図 16 (D), (E) に示すように、フィードバック制御回路 26 で生成された水平クロック HCK, HCKX に対して周期が同じ ($T_1 = T_2$) でかつデューティ比が小さい互いに逆相のクロック DCK, DCKX が生成され、クロックライン DKL1, DKXL1 を通してモニタ回路 24、および水平スキャナ 23 に供給される。

【0087】

フィードバック制御回路 26 においては、垂直走査の開始を指令する垂直スタートパルス VST、垂直走査の基準となる互いに逆相の垂直クロック VCK, VCKX、水平走査の開始を指令する垂直スタートパルス VST が生成され、垂直スキャナ 22 に供給される。

【0088】

そして、モニタ回路 24 においては、水平スタートパルス HST 並びに切替信号 RGT およびその反転信号 RGTX を受けて、切替信号 RGT が第 2 スキャン動作を指示するハイレベルであることから、図 16 (F) に示すように、水平スタートパルス HST がセレクトパルス SLP242 としてスイッチ 2412 に出力され、水平スキャナ 23 の第 4 シフト段 231-4 が抜き取るべきクロック DCK と異なるクロック DCKX が抜き取られ、位相調整回路 242 で位相調整された後、図 16 (I) に示すように、サンプルホールドパルス SHP241 としてサンプリングスイッチ 243 に供給される。

これにより、サンプリングスイッチ 243 は、サンプルホールドパルス SHP241 に応答してオン状態となり、LCD パネル外部でプルアップ抵抗 R21 によりプルアップされていたモニタライン MNTL21 が接地レベルに引き込まれ、そのレベル変化情報がバッファ BF21 を介してフィードバック制御回路 26

の入力される。

【0089】

そして、水平スキャナ 23 のシフトレジスタ 231 において、外部のフィードバック制御回路 26 により水平スタートパルス HST が供給された第 4 シフト段 231-4 では、逆相の水平クロック HCK, HCKX に同期して、図 16 (G) に示すように、水平クロック HCK, HCKX の周期と同じパルス幅を持つシフトパルス SF TP 234 が抜き取りスイッチ 232-4 に出力される。また、第 4 シフト段 231-4 から第 3 シフト段 231-3 にシフトパルス SF TP 234 がシフトインされる。

第 4 シフト段 231-4 に対応した抜き取りスイッチ 232-4 では、シフトパルス SF TP 234 に応答してオン状態となり、図 16 (D), (J) に示すように、クロックライン DKL 1 に出力されたクロック DCK が抜き取られ、位相調整回路 233-4 で位相調整された後、サンプルホールドパルス SHP 234 としてサンプリングスイッチ 234-4 に供給される。

これにより、サンプリングスイッチ 234-4 は、サンプルホールドパルス SHP 234 に応答してオン状態となり、ビデオライン VDL 21 を通して入力される映像信号 VDO がサンプリングされ、画素部 21 の信号ライン SGNL 24 に供給される。

【0090】

次に、第 4 シフト段 231-4 からシフトパルス SF TP 234 がシフトインされた第 3 シフト段 231-3 では、逆相の水平クロック HCK, HCKX に同期して、図 16 (H) に示すように、水平クロック HCK, HCKX の周期と同じパルス幅を持つシフトパルス SF TP 233 が抜き取りスイッチ 232-3 に出力される。また、第 3 シフト段 231-3 から第 2 シフト段 231-2 にシフトパルス SF TP 233 がシフトインされる。

第 3 シフト段 231-3 に対応した抜き取りスイッチ 232-3 では、シフトパルス SF TP 233 に応答してオン状態となり、図 16 (E), (K) に示すように、クロックライン DKL X 1 に出力されたクロック DCK X が抜き取られ、位相調整回路 233-3 で位相調整された後、サンプルホールドパルス SHP

233としてサンプリングスイッチ234-3に供給される。

これにより、サンプリングスイッチ234-3は、サンプルホールドパルスSHP233に応答してオン状態となり、ビデオラインVDL21を通して入力される映像信号VDOがサンプリングされ、画素部21の信号ラインSGNL23に供給される。

【0091】

次に、第3シフト段231-3からシフトパルスSFTP233がシフトインされた第2シフト段231-2では、逆相の水平クロックHCK, HCKXに同期して、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスSFTP232が抜き取りスイッチ232-2に出力される。また、第2シフト段231-2から第1シフト段231-1にシフトパルスSFTP232がシフトインされる。

第2シフト段231-2に対応した抜き取りスイッチ232-2では、シフトパルスSFTP232に応答してオン状態となり、クロックラインDKL1に出力されたクロックDCKが抜き取られ、位相調整回路233-2で位相調整された後、サンプルホールドパルスSHP232としてサンプリングスイッチ234-2に供給される。

これにより、サンプリングスイッチ234-2は、サンプルホールドパルスSHP232に応答してオン状態となり、ビデオラインVDL21を通して入力される映像信号VDOがサンプリングされ、画素部21の信号ラインSGNL22に供給される。

【0092】

次に、第2シフト段231-2からシフトパルスSFTP232がシフトインされた第1シフト段231-1では、逆相の水平クロックHCK, HCKXに同期して、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスSFTP231が抜き取りスイッチ232-1に出力される。

第1シフト段231-1に対応した抜き取りスイッチ232-1では、シフトパルスSFTP231に応答してオン状態となり、クロックラインDKXL1に出力されたクロックDCKXが抜き取られ、位相調整回路233-1で位相調整

された後、サンプルホールドパルス S H P 2 3 1 としてサンプリングスイッチ 2 3 4 - 1 に供給される。

これにより、サンプリングスイッチ 2 3 4 - 1 は、サンプルホールドパルス S H P 2 3 1 に応答してオン状態となり、ビデオライン V D L 2 1 を通して入力される映像信号 V D O がサンプリングされ、画素部 2 1 の信号ライン S G N L 2 1 に供給される。

【 0 0 9 3 】

フィードバック制御回路 2 6 では、通常スキャン動作時のモニタ回路 2 4 のサンプリングスイッチ 2 4 3 が導通してモニタライン M N T L 2 1 が接地レベルに遷移したタイミングから初期状態からの位相の変化がモニタされる。

フィードバック制御回路 2 6 では、モニタした位相の変化分がパネル入力のクロック H C K, H C K X 等へとフィードバックされて適切なタイミングが設定される。これにより、サンプルホールドパルス S H P がその初期状態に対してドリフトしてしまうことによるゴーストの発生が防止される。

【 0 0 9 4 】

以上のように、逆スキャン動作時には、モニタ回路 2 4 においては、水平スタートパルス H S T 並びに切替信号 R G T およびその反転信号 R G T X を受けて、セクタ部 2 4 1 で水平スキャナ 2 3 の第 4 シフト段 2 3 1 - 4 が抜き取るべきクロック D C K と異なるクロック D C K X を抜き取られ、位相調整回路 2 4 2 で位相調整された後、サンプルホールドパルス S H P 2 4 1 としてサンプリングスイッチ 2 4 3 に供給されて、サンプリングスイッチ 2 4 3 がオン状態となる。

また、水平スキャナ 2 3 において、クロック抜き取りスイッチ群 2 3 2 の各スイッチ 2 3 2 - 4 ~ 2 3 2 - 1 で、シフトレジスタ 2 3 1 の各シフト段 2 3 4 - 1 ~ 2 3 1 - 1 からシフトパルス S F T P 2 3 4 ~ S F T P 2 3 1 が与えられると、これらシフトパルス S F T P 2 3 4 ~ S F T P 2 3 1 に応答して順にオン状態となることにより、互いに逆相のクロック D C K, D C K X を交互に抜き取り、位相調整回路群 2 3 3 で位相調整されたクロック D C K, D C K X がサンプルホールドパルス S H P 2 3 4 ~ S H P 2 3 1 として与えられる。

そして、サンプリングスイッチ群 2 3 4 の各サンプリングスイッチ 2 3 4 - 4

～234-1では、サンプルホールドパルスSHP234～SHP231が与えられると、これらサンプルホールドパルスSHP234～SHP231に応答して順にオン状態となり、ビデオラインVDL21を通して入力される映像信号VDOが順次サンプリングされ、画素部21の信号ラインSGNL24～SGNL21に供給される。

すなわち、水平スキャナ23の第1シフト段のサンプルホールドパルスSHP231とモニタ回路24のサンプルホールドパルスSHP241が他のサンプルホールドパルスSHP231～SHP233間の関係と略同一タイミングで生成され、問題なく画像表示が行われる。

すなわち、スキャン動作の左右反転時にクロックの位相が変化しても、出力の位相のそろったパルスを得ることができる。

【0095】

以上説明したように、本実施形態によれば、水平スキャナ23の一側部にモニタ回路24を近接配置し、第1スキャン動作（通常スキャン動作）時には、水平スタートパルスHSTを水平スキャナの初段のシフト段231-1およびモニタ回路24のセクタ2413に供給し、モニタ回路24においては、水平スタートパルスHST並びに切替信号RGTおよびその反転信号RGTXを受けて、セクタ部241で水平スキャナ23の第1シフト段231-1が抜き取るべきクロックDCKXと異なるクロックDCKを抜き取り、サンプルホールドパルスSHP241として出力し、サンプリングスイッチ244でサンプルホールドパルスに응答してプルアップされているモニタラインMNTL21の電位を接地電位に設定し、第2スキャン動作（逆スキャン動作時）には、モニタ回路24においては、水平スタートパルスHST並びに切替信号RGTおよびその反転信号RGTXを受けて、セクタ部241で水平スキャナ23の第4シフト段231-4が抜き取るべきクロックDCKと異なるクロックDCKXを抜き取り、サンプルホールドパルスSHP241として出力し、サンプリングスイッチ244でサンプルホールドパルスに응答してプルアップされているモニタラインMNTL21の電位を接地電位に設定することから、以下の効果を得ることができる。

すなわち、スキャン方向反転においてクロックの位相が反転する水平スキャナ

(シフト段の個数が偶数)においても、出力電位変化の位相が変化することがなく、いずれのスキャン方向で動作しても高い精度でモニタすることができ、画が半分ずれてしまうようなことがなく、精度の高い画像表示を実現できる。

【0096】

また、モニタ回路を水平スキャナ23の両側部に設ける構成も可能であるが、この場合、両モニタ回路の出力がA1などの配線にて接続する。両モニタ回路の出力においてA1の配線分の抵抗差を生じさせないためには、このA1配線の線幅を100 μ m程にする必要があり、レイアウト面積を大幅にとってしまい、今後の狭額縁化の上でも問題が生じる。

これに対して、本実施形態では、一つのモニタ回路を設けるのみでスキャン方向反転においてクロックの位相が反転する水平スキャナのスキャン動作を高精度にモニタできることから、A1配線で接続する必要がなくレイアウトスペースを削減できてレイアウト上も有利であり、今後の狭額縁化にも十分対応することが可能である。

また、モニタ回路24においてクロック抜き取り後の回路構成を他の水平スキャナと同一にすることで、遅延量も同一な出力パルスを得ることができる。

【0097】

また、水平スキャナ23では、シフトレジスタ231から順次出力されるシフトパルスSFTP231～SFTP234をサンプルホールドパルスとして用いるのではなく、シフトパルスSFTP231～SFTP234に同期して、互いに逆相のクロックDCKX、DCKを交互に抜き取り、これらクロックDCKX、DCKを位相調整回路を介してサンプルホールドパルスSHP231～SHP234として用いるようにしている。これにより、サンプルホールドパルスSHP231～SHP234のばらつきを抑えることができる。その結果、サンプルホールドパルスSHP231～SHP234のばらつきに起因するゴーストを除去できる。

【0098】

しかも、水平スキャナ23においては、シフトレジスタ231のシフト動作の基準となる水平クロックHCKX、HCKを抜き取ってサンプルホールドパルス

として用いるのではなく、水平クロック HCKX, HCK に対して同じ周期でかつデューティ比の小さいクロック DCKX, DCK を別途生成し、これらクロック DCKX, DCK を抜き取ってサンプルホールドパルス SHP231~SHP234 として用いるようにしているので、水平駆動の際に、サンプリングパルス相互間での完全ノンオーバーラップサンプリングを実現できることから、オーバーラップサンプリングに起因する縦スジの発生を抑えることができる。

【0099】

なお、本実施形態では、アナログ映像信号を入力とし、これをサンプリングして点順次にて各画素を駆動するアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、これをラッチした後アナログ映像信号に変換し、このアナログ映像信号をサンプリングして点順次にて各画素を駆動するデジタルインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

また、本実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（EL: electroluminescence）素子を用いたアクティブマトリクス型 EL 表示装置など、水平駆動回路にクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置全般に適用可能である。

【0100】

点順次駆動方式としては、周知の 1H 反転駆動方式やドット反転駆動方式の外に、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた 2 行、たとえば上下の 2 行の画素に互いに逆極性の映像信号を同時に書き込むいわゆるドットライン反転駆動方式などがある。

【0101】

第 2 実施形態

本第 2 の実施形態では、図 11 の点順次駆動方式のアクティブマトリクス型液

晶表示装置を表示パネル（LCD）として適用可能な投写型液晶表示装置（液晶プロジェクタ）の構成例について説明する。

【0102】

以上の実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置は、投写型液晶表示装置（液晶プロジェクタ）の表示パネル、即ちLCD(liquid crystal display)パネルとして用いることが可能である。

【0103】

図17は、本発明に係る点順次駆動方式のアクティブマトリクス型液晶表示装置を表示パネル（LCD）として適用可能な投写型液晶表示装置のシステム構成を示すブロック図である。

【0104】

本例に係る投写型液晶表示装置40は、映像信号源（VSRC）41、システムボード（SYSBRD）42およびLCDパネル（PNL）43を有する。

このシステム構成において、システムボード42では、映像信号源41から出力される映像信号に対して先述したサンプルホールドポジションの調整などの信号処理が行われる。システムボード42には、図11のタイミングジェネレータを含むフィードバック制御回路26も搭載される。

そして、LCDパネル43として、先述した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置が用いられる。また、カラーの場合には、LCDパネル43がR（赤）、G（緑）、B（青）にそれぞれ対応して設けられる。

【0105】

図18は、投写型カラー液晶表示装置の光学系の構成の一例を示す概略構成図である。

図18の投写型カラー液晶表示装置の光学系400において、光源401から発せられる白色光は、第1のビームスプリッタ402で特定の色成分、たとえば一番波長の短いB（青）の光成分のみが透過し、残りの色の光成分は反射される。第1のビームスプリッタ402を透過したBの光成分は、ミラー403で光路が変更され、レンズ404を通してBのLCDパネル405Bに照射される。

第1のビームスプリッタ402で反射された光成分については、第2のビームスプリッタ406でたとえばG（緑）の光成分が反射され、R（赤）の光成分が透過する。第2のビームスプリッタ406で反射されたGの光成分は、レンズ407を通してGのLCDパネル405Gに照射される。

第2のビームスプリッタ406を透過したRの光成分は、ミラー408、409で光路が変更され、レンズ410を通してRのLCDパネル405Rに照射される。

LCDパネル405R、405G、405Bは各々、複数の画素がマトリクス状に配置されてなる第1の基板と、この第1の基板に対して所定の間隔をもって対向配置された第2の基板と、これら基板間に保持された液晶層と、各色に対応したフィルタ層とを有する。

これらLCDパネル405R、405G、405Bを経たR、G、Bの各光は、クロスプリズム411で光合成される。そして、このクロスプリズム411から出射される合成光は、投射プリズム412によってスクリーン413に投射される。

【0106】

上記構成の投写型液晶表示装置において、LCDパネル405R、405G、405Bとして、先述した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置を用い、たとえばLCDパネル405R、405Bが第1スキャン動作（通常スキャン動作）を、LCDパネル405Gが第2スキャン動作（逆スキャン動作）を行うようにスキャン方向切替信号RGTがハイレベルでLCDパネル405R、405Bに供給され、ローレベルでLCDパネル405Gに供給される。

これにより、スキャン動作の左右反転時にクロックの位相が変化しても、いずれのLCDパネル405R、405G、405Bのモニタ回路24から出力の位相のそろったパルスを得ることができる。

すなわち、スキャン方向反転においてクロックの位相が反転する水平スキナにおいても、出力電位変化の位相が変化することがなく、いずれのスキャン方向で動作しても高い精度でモニタすることができ、画が半分ずれてしまうようなこ

とがなく、精度の高い画像表示を実現できる。

また、本実施形態に係る液晶表示装置では水平駆動系において完全ノンオーバーラップサンプリングを実現していることから、オーバーラップサンプリングに起因する縦スジの発生を抑えることができるとともに、ゴーストマージンを上げることができるため、より高画質の画像表示を実現できる。

【0107】

なお、投写型液晶表示装置にはリアタイプとフロントタイプとがあり、一般的に、リアタイプの投写型液晶表示装置は動画用のプロジェクションTVとして、フロントタイプの投写型液晶表示装置はデータプロジェクタとして用いられているが、先述した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置はいずれのタイプにも適用可能である。また、ここでは、カラーの投写型液晶表示装置に適用した場合を例に採って説明したが、モノクロの投写型液晶表示装置にも同様に適用可能である。

【0108】

【発明の効果】

以上説明したように、本発明によれば、スキャン方向反転においてクロックの位相が反転する水平スキャナにおいても、出力電位変化の位相が変化することがなく、いずれのスキャン方向で動作しても高い精度でモニタすることができる。したがって、画が半分ずれてしまうようなことがなく、精度の高い画像表示を実現できる利点がある。

【0109】

また、一つのモニタ回路を設けるのみでスキャン方向反転においてクロックの位相が反転する水平スキャナのスキャン動作を高精度にモニタできることから、レイアウトスペースを削減でき、今後の狭額縁化にも十分対応することが可能であるという利点がある。

【図面の簡単な説明】

【図1】

一般的な点順次駆動方式を採用したアクティブマトリクス型液晶表示装置の構成を示す回路図である。

【図 2】

アクティブマトリクス型液晶表示装置の表示パネルの構成例を示すブロック図である。

【図 3】

水平クロック HCK, HCKX とクロック DCK, DCKX とのタイミング関係を示すタイミングチャートである。

【図 4】

図 1 の水平スキャナを中心とした動作を説明するための図である。

【図 5】

図 1 の水平スキャナを中心とした動作を説明するための波形図である。

【図 6】

図 1 の水平スキャナの課題を説明するための図である。

【図 7】

モニタ回路を設けた従来の液晶表示装置の構成例を示すブロック図である。

【図 8】

図 7 のモニタ回路と周辺の水平スキャナの一部の具体的な構成例を示す回路図である。

【図 9】

図 8 の回路の通常方向（図 8 中の左から右方向）にスキャンする場合の動作を説明するためのタイミングチャートである。

【図 10】

図 8 の回路の逆方向（図 8 中の右から左方向）にスキャンする場合の動作、および課題を説明するためのタイミングチャートである。

【図 11】

本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

【図 12】

図 11 のアクティブマトリクス型液晶表示装置の表示パネルの構成例を示すブロック図である。

【図 1 3】

シフトレジスタのシフト段間に挿入される切替回路の構成例を示す回路図である。

【図 1 4】

本実施形態に係るモニタ回路のセクタ部の具体的な構成例を示す回路図である。

【図 1 5】

図 1 1 の回路の通常スキャン動作を説明するためのタイミングチャートである。

【図 1 6】

図 1 1 の回路の逆スキャン動作を説明するためのタイミングチャートである。

【図 1 7】

本発明に係る点順次駆動方式のアクティブマトリクス型液晶表示装置を表示パネル（LCD）として適用可能な投写型液晶表示装置のシステム構成を示すブロック図である。

【図 1 8】

本発明に係る点順次駆動方式のアクティブマトリクス型液晶表示装置を表示パネル（LCD）として適用可能な投写型カラー液晶表示装置の光学系の構成の一例を示す概略構成図である。

【符号の説明】

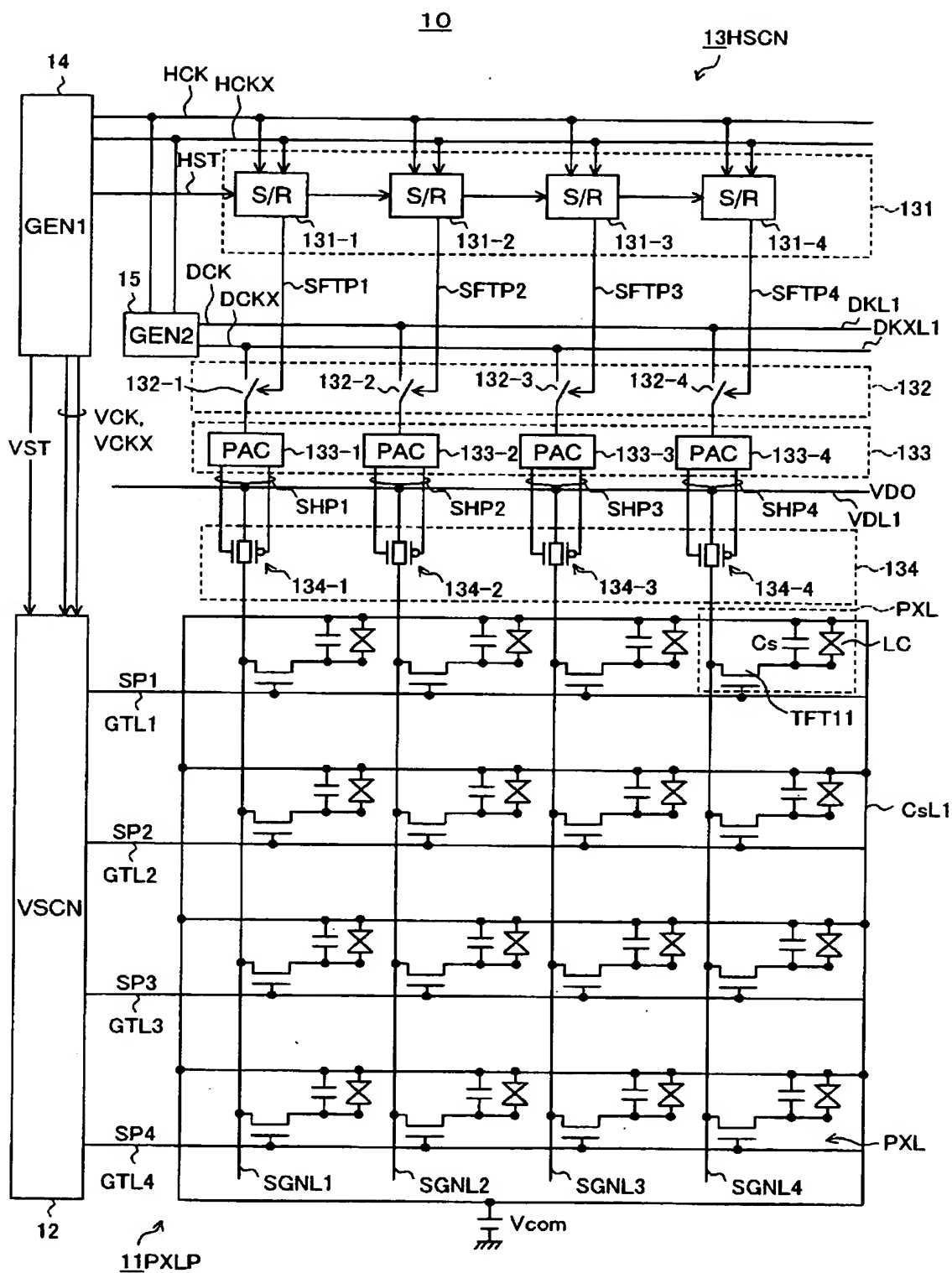
2 0 …液晶表示装置、2 1 …有効画素部（PXL P）、2 2 …垂直スキャナ（VSCN）、2 3 …水平スキャナ（HSCN）、2 4 …モニタ回路（MNT）、2 5 …クロック生成回路（GEN）、2 6 …フィードバック制御回路（FDBIC）、2 7 …プリチャージ回路（PRCG）、3 0 …表示パネル、4 0 …投写型液晶表示装置、4 1 …映像信号源（VSRC）、4 2 …システムボード（SYSBRD）、4 3 …LCDパネル（PNL）4 3、4 0 0 …光学系、4 0 1 …光源、4 0 2 …第 1 のビームスプリッタ、4 0 3，4 0 8，4 0 9 …ミラー、4 0 4，4 0 7，4 1 0 …レンズ、4 0 5 R，4 0 5 G，4 0 5 B …LCDパネル、4 0 6 …第 2 のビームスプリッタ、4 1 1 …クロスプリズム、4 1 2 …投射プリ

ズム、 4 1 3 …スクリーン。

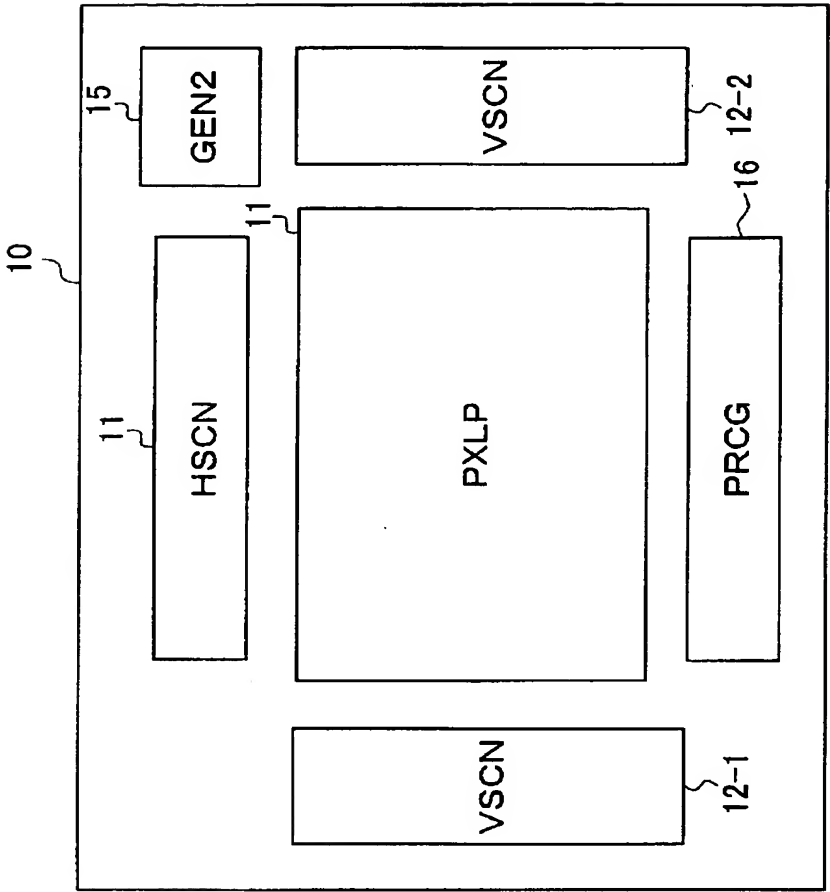
【書類名】

図面

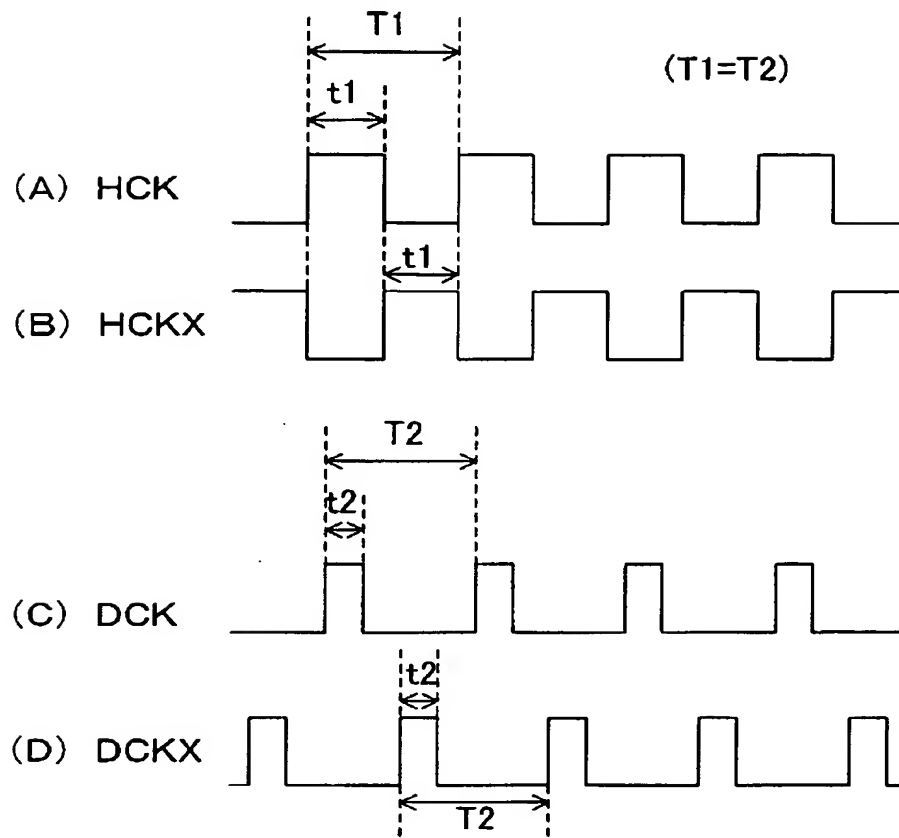
【図 1】



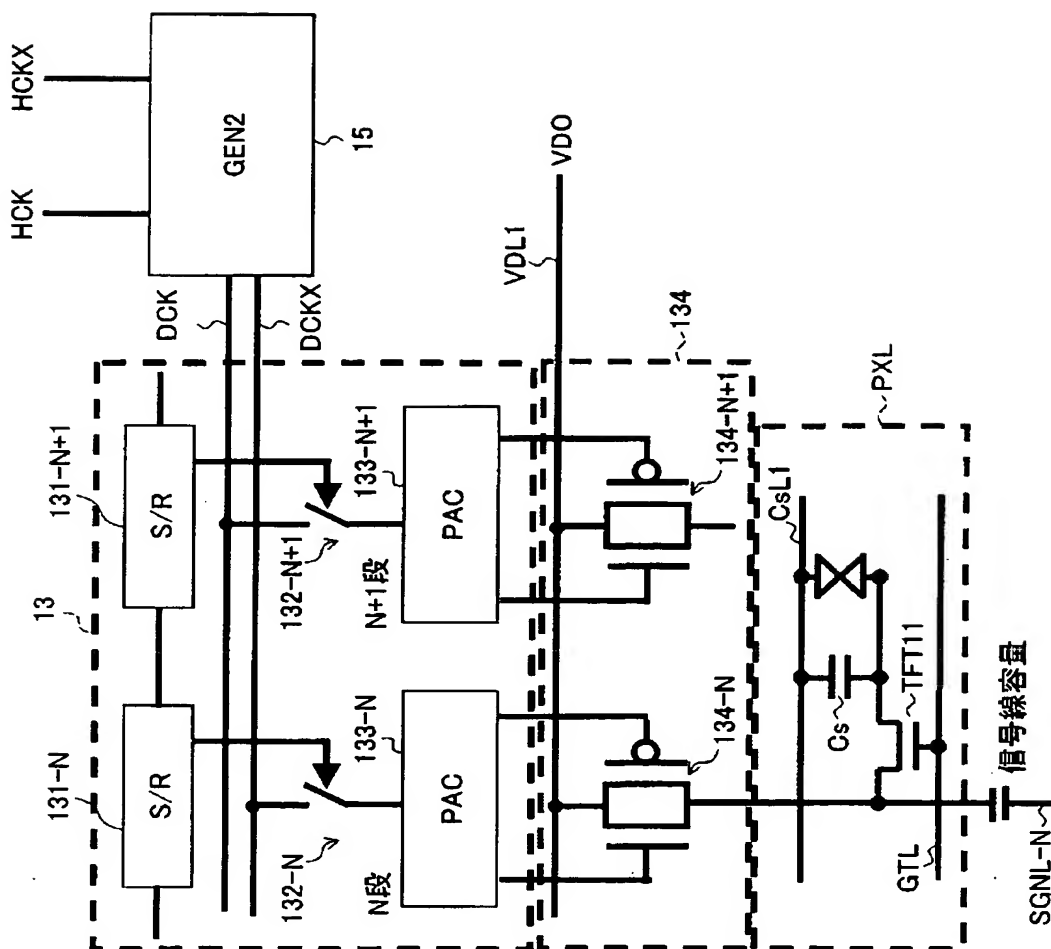
【図 2】



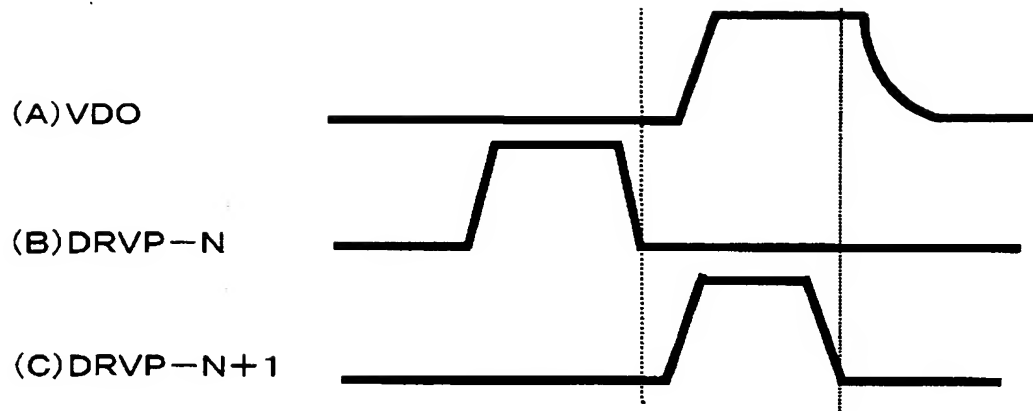
【図 3】



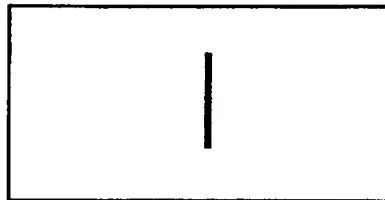
【図 4】



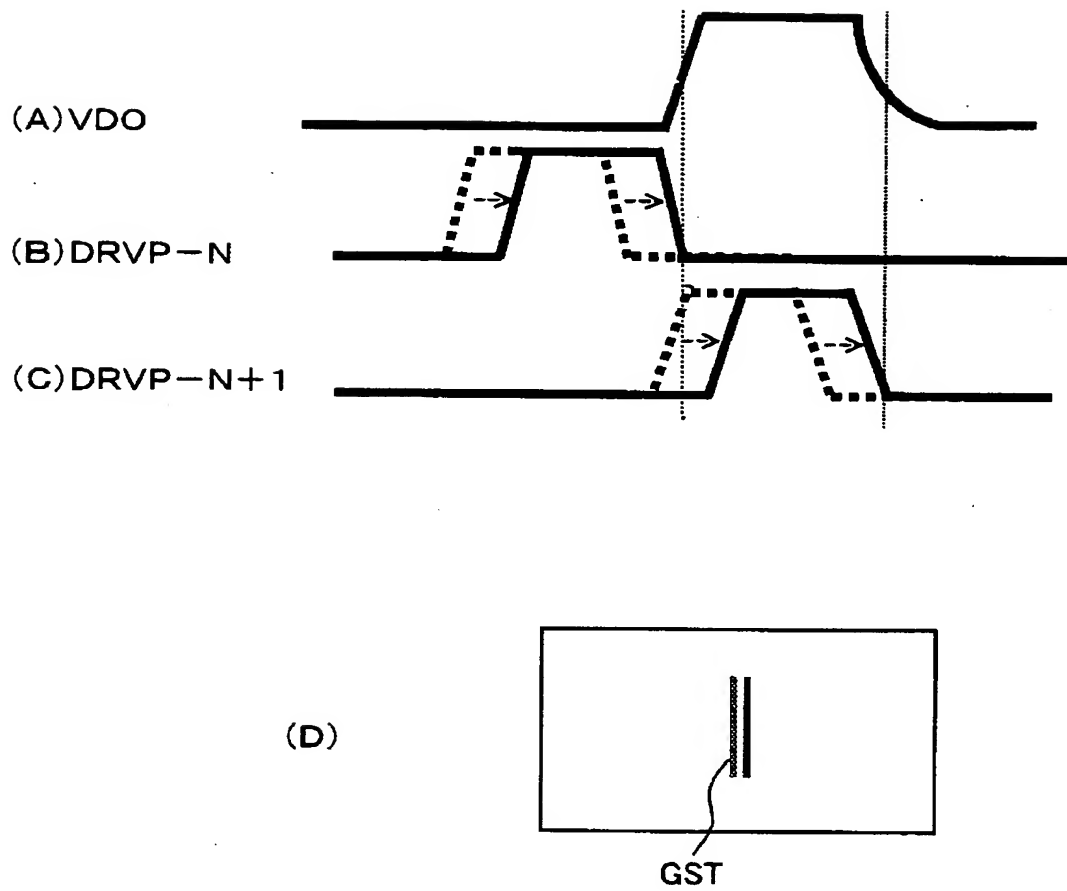
【図 5】



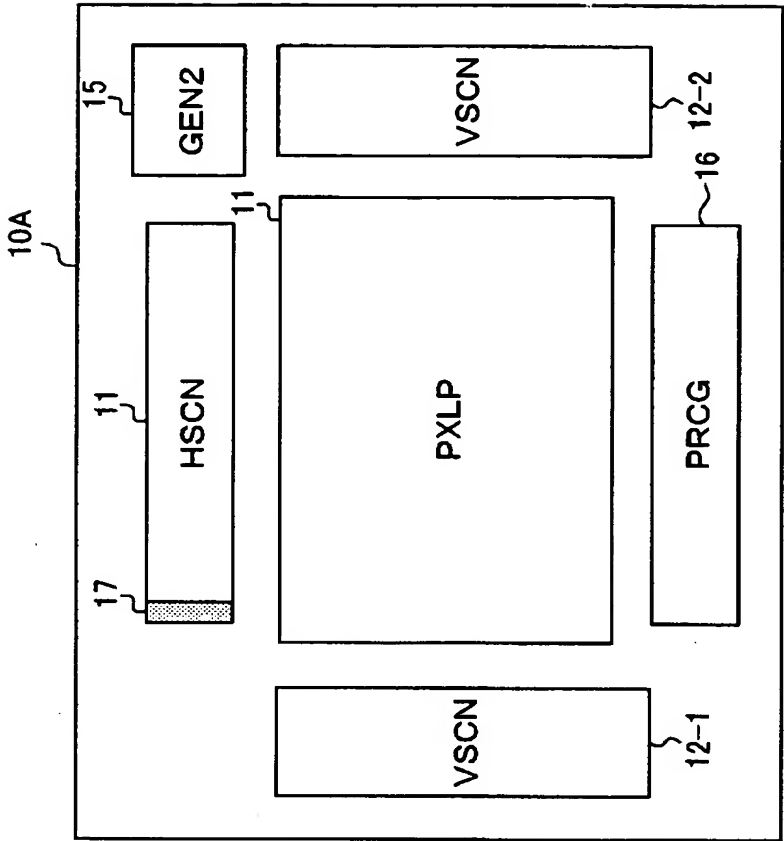
(D)



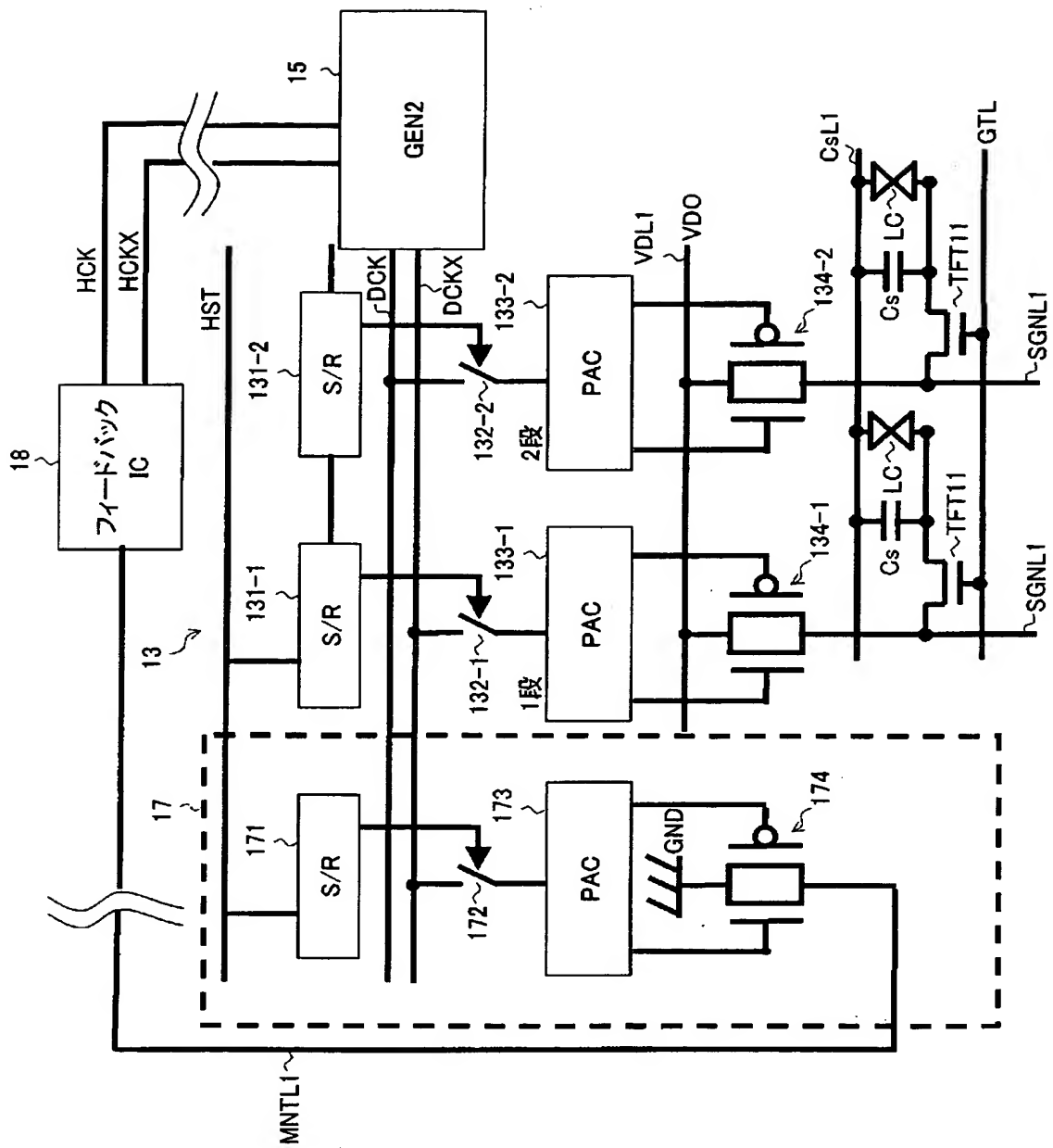
【図 6】



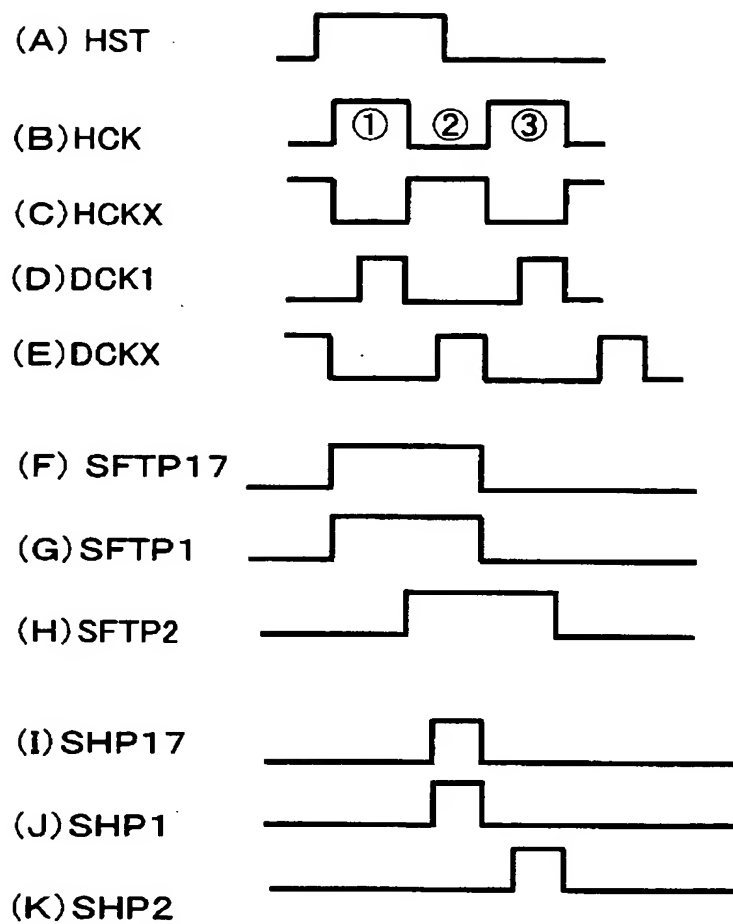
【図 7】



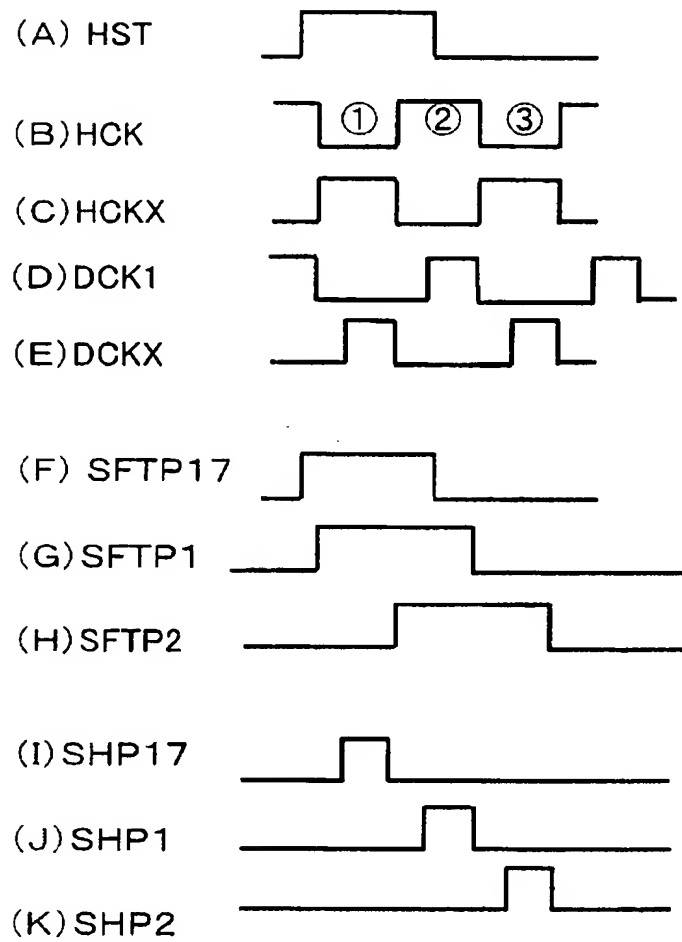
【图 8】



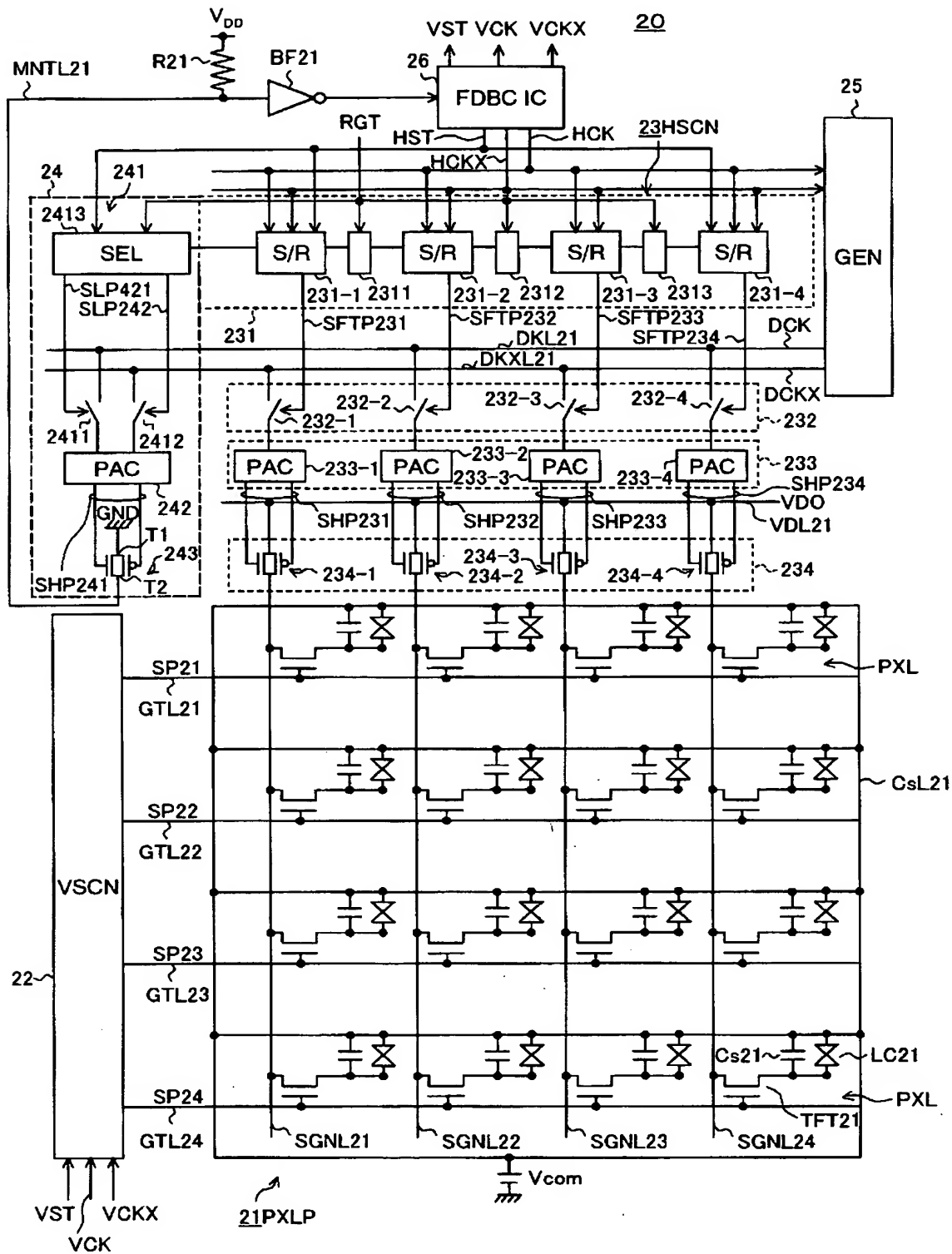
【図 9】



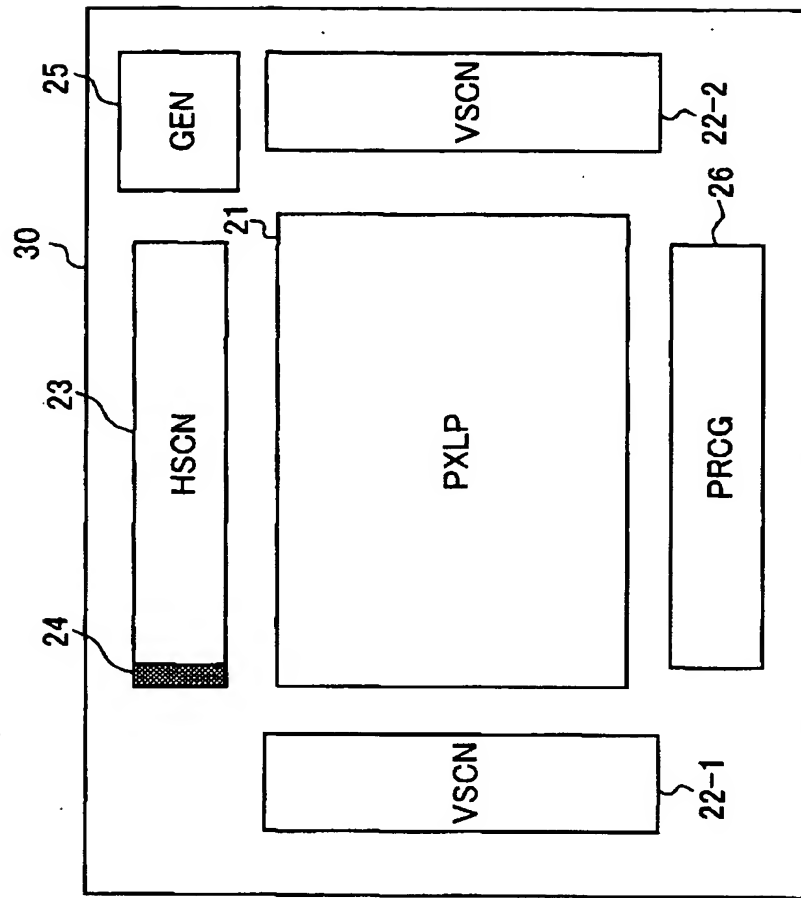
【図 10】



【図 11】

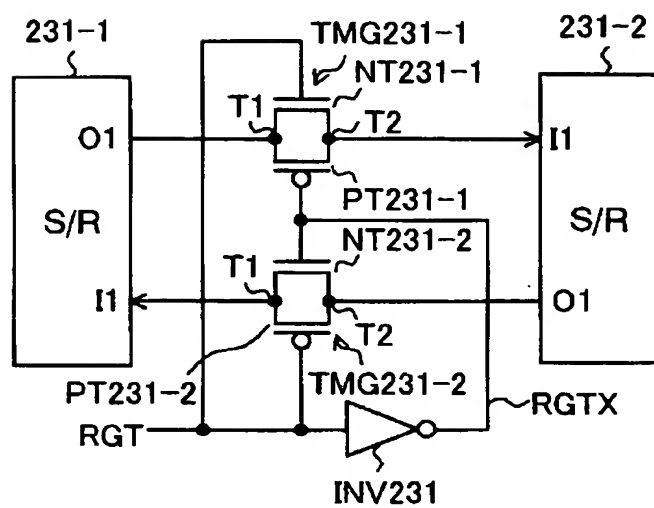


【図 12】

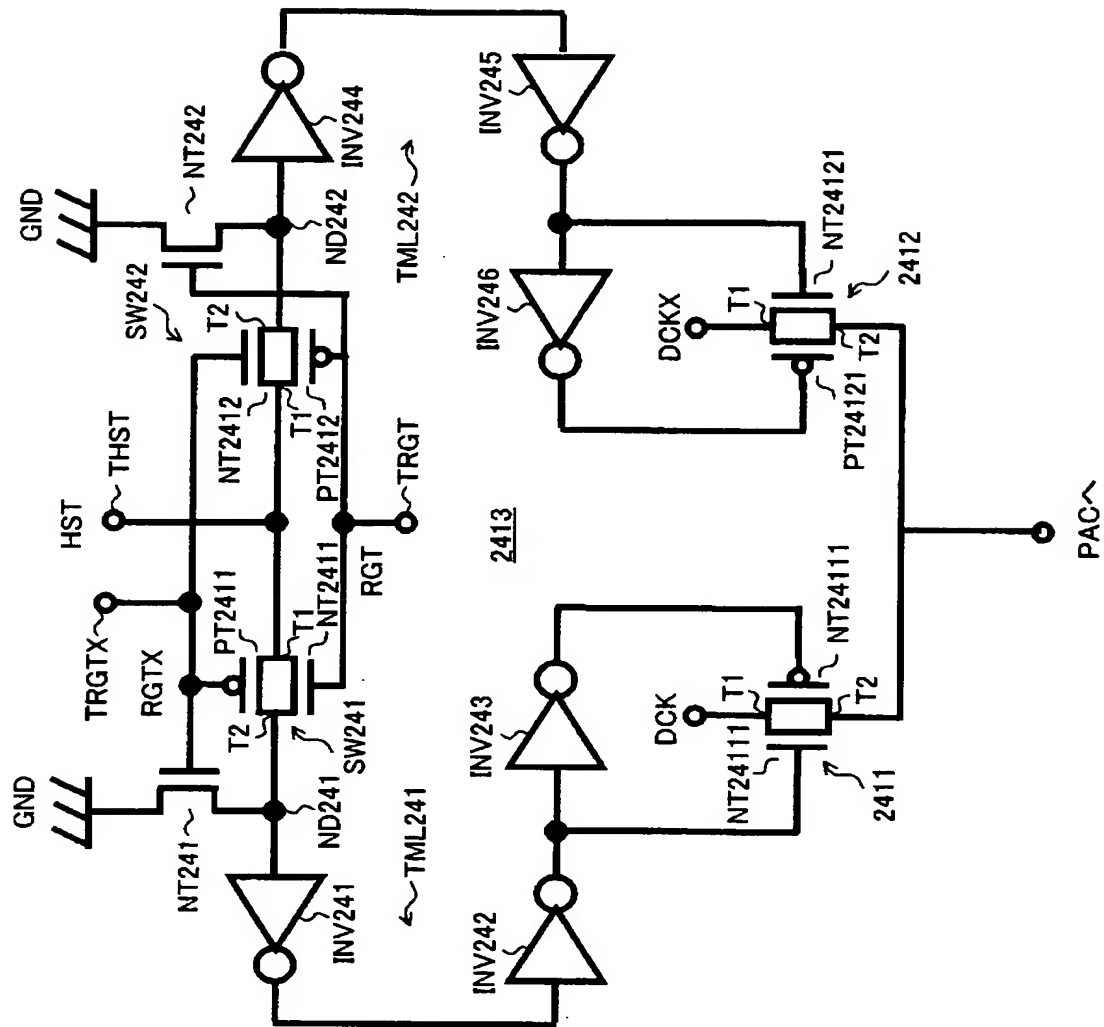


【図 13】

2311(2312,2313)

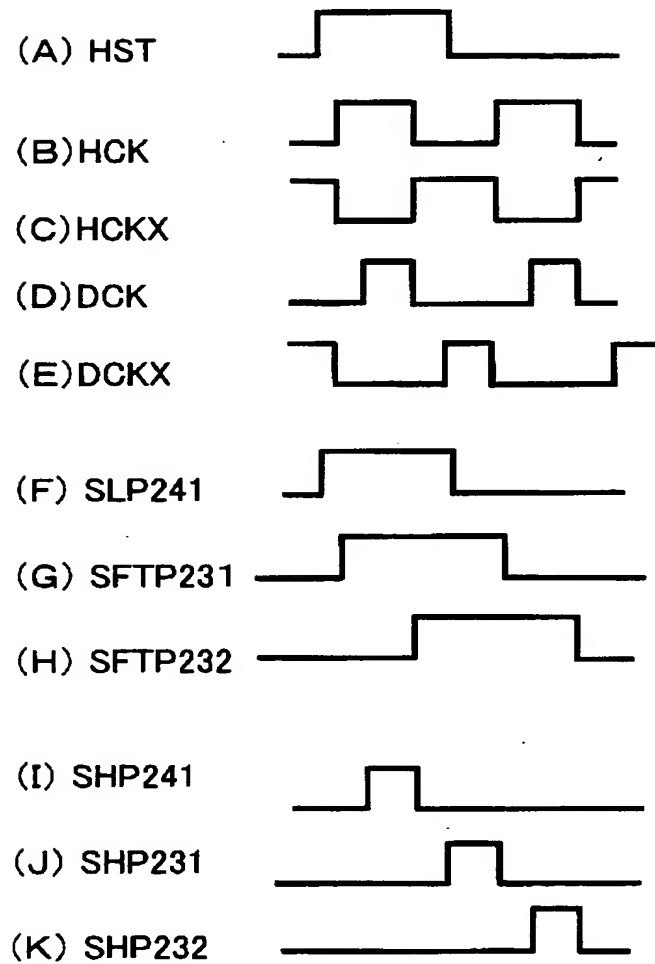


【図 14】



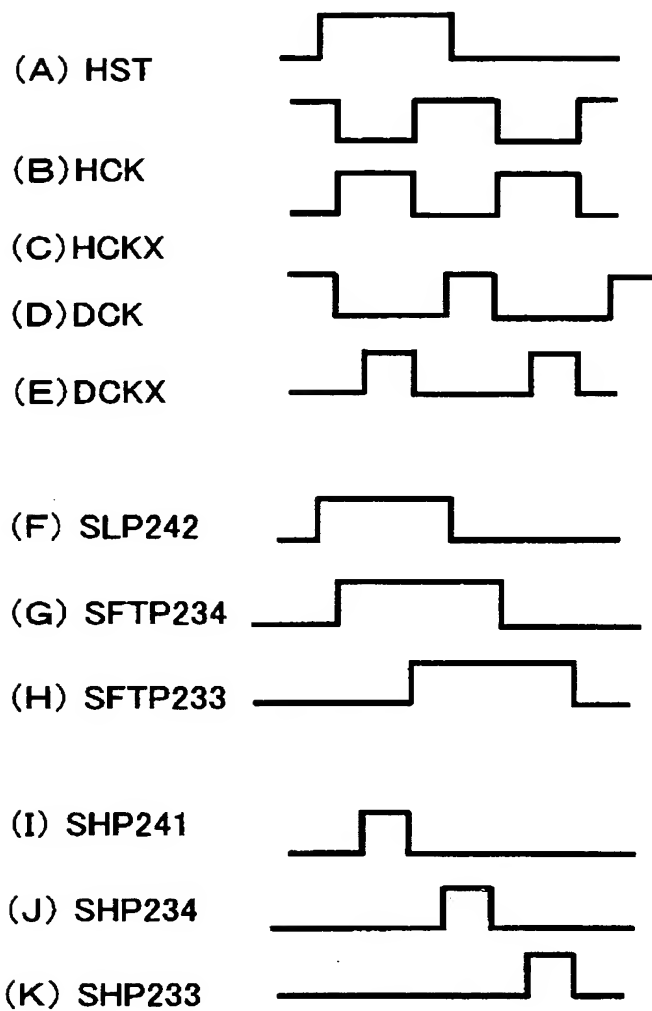
【図 15】

◎左から右へスキャン時

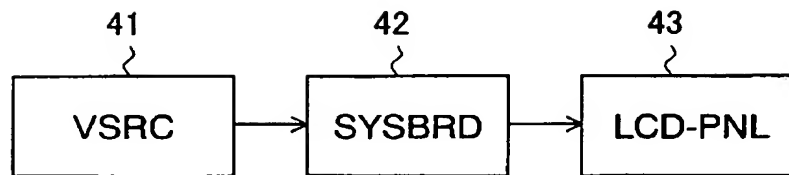


【図 16】

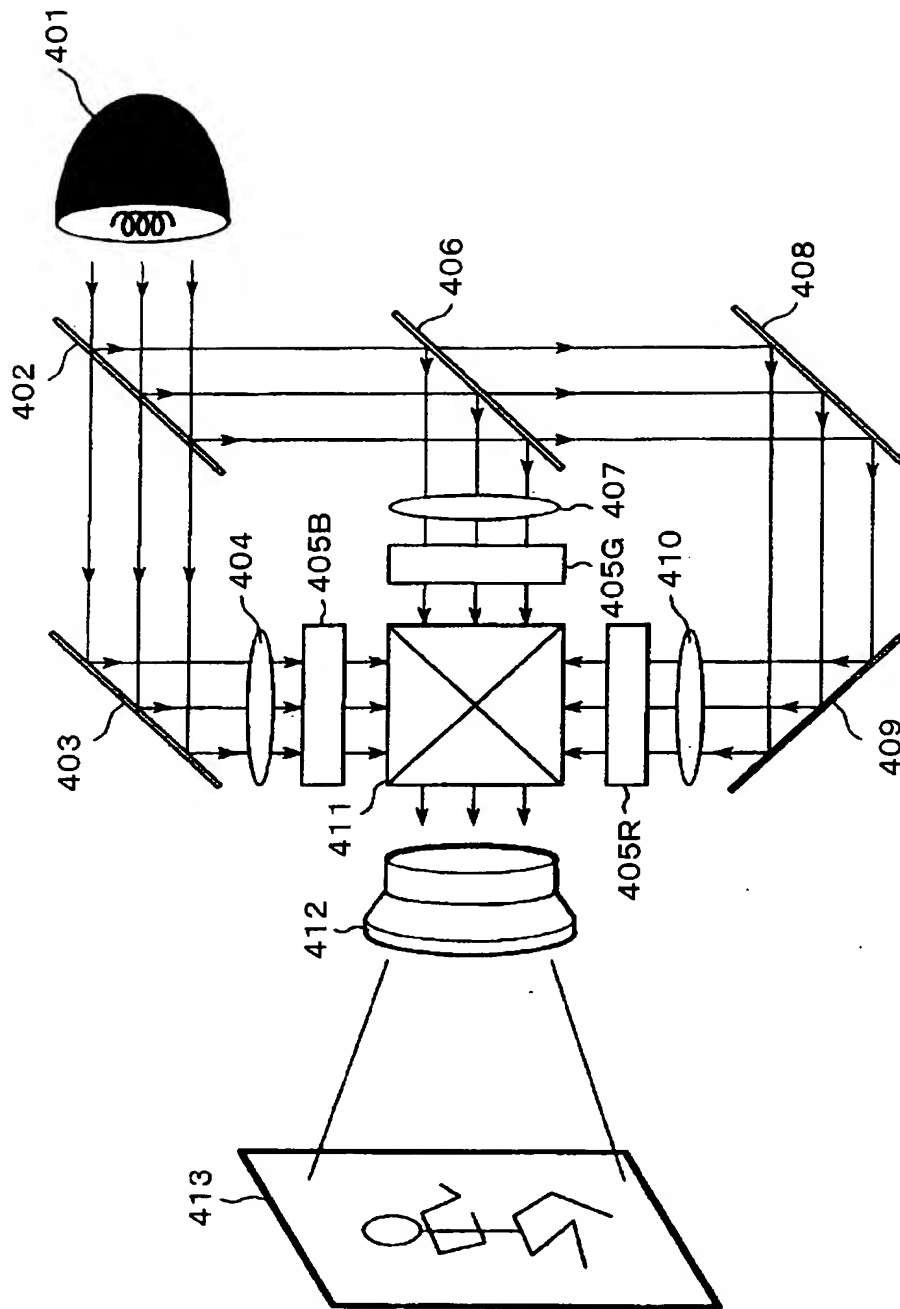
◎右から左へスキャン時



【図 17】

40

【図 18】



【書類名】 要約書

【要約】

【課題】 出力電位変化の位相が変化せず、いずれのスキャン方向で動作しても精度の高い画像表示を実現できる表示装置および投射型表示装置を提供する。

【解決手段】 第 1 スキャン動作に水平スタートパルス H S T 並びに切替信号 R G T を受けてモニタ回路 2 4 のセレクト部 2 4 1 で水平スキャナ 2 3 の第 1 シフト段 2 3 1 - 1 が抜き取るべきクロック D C K X と異なるクロック D C K を抜き取り、このサンプルホールドパルスに応答してプルアップされているモニタライン M N T L 2 1 の電位を接地電位に設定し、第 2 スキャン動作には水平スタートパルス H S T 並びに切替信号 R G T を受けてモニタ回路 2 4 のセレクト部 2 4 1 で水平スキャナ 2 3 の第 4 シフト段 2 3 1 - 4 が抜き取るべきクロック D C K と異なるクロック D C K X を抜き取り、このサンプルホールドパルスに応答してプルアップされているモニタライン M N T L 2 1 の電位を接地電位に設定する。

【選択図】 図 1 1

特願 2 0 0 3 - 0 5 4 5 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社